

Аннотация

Объем 47 с., 17 рис., 21 источник

Целью бакалаврской работы служит детализированный анализ работы и характеристик таких способов и средств поэлементной импульсной синхронизации с привлечением линий задержки как:

- многофазного опорного генератора;
- опорных временных интервалов с жесткой привязкой их начала к фазе запускающих импульсных сигналов;
- генерирование импульсных последовательностей с импульсной синхронизацией фазы и цифровой перестройкой периода следования;
- синхронизация каналов воспроизведения данных;
- импульсная синхронизация фаз генерируемых импульсных последовательностей.

Рассмотренные устройства поэлементной синхронизации имеют простую структуру и технически реализуются на цифровых интегральных микросхемах и рекомендуются к использованию в современных информационно – измерительных и телекоммуникационных системах, что подчеркивает актуальность темы бакалаврской работы.

Abstract

By synchronization is meant a cycle of establishing and holding predetermined time positions between two or more signals or processes.

There are three types of synchronization: element-wise, group, and cyclic. Element-by-element synchronization provides on the receiving side the correct allocation of one element of information from another and, accordingly, allows to achieve better conditions for its registration.

Group synchronization allows a reliable allocation of the received information sequence to code parcels, while a cyclic one is a reliable allocation of the cycles of temporary combination of elements during reception.

The aim of the bachelor's work is a detailed analysis of the operation and characteristics of such methods and means of element-wise pulse synchronization with the use of delay lines as:

- multiphase reference generator;
- reference time intervals with rigid binding of their origin to the phase of triggering pulse signals;
- Generation of pulse sequences with pulse phase synchronization and digital re-tuning of the repetition period;
- synchronization of data playback channels;
- pulse phase synchronization of generated pulse sequences.

The considered element-by-pixel devices have a simple structure and are technically implemented on digital integrated circuits and are recommended for use in modern information-measuring and telecommunication systems, which emphasizes the relevance of the topic of bachelor's work.

Содержание

Введение.....	5
1. Импульсная поэлементная синхронизация.....	6
2. Импульсная синхронизации на основе многофазного опорного генератора импульсов.....	8
3. Формирование синхронизированных временных интервалов.....	19
4. Генерирование импульсов с синхронизацией фазы и цифровой перестройкой периода следования.....	23
5. Управляемая синхронизируемая линия задержки.....	28
6. Синхронизация каналов воспроизведения данных.....	33
7. Синхронизация фаз генерируемых импульсных последовательностей...	39
Заключение.....	45
Список используемой литературы.....	46

Введение

Под синхронизацией понимается цикл установления и удержания наперед заданных временных положений между двумя и больше сигналами или процессами. Выделяют три вида синхронизации: поэлементную, групповую, а также циклическую. Поэлементная синхронизация обеспечивает на приемной стороне правильное выделение одного элемента информации от другого и, соответственно, позволяет достичь лучших условий для ее регистрации. Групповая же синхронизация позволяет достоверное выделение принимаемой информационной последовательности на кодовые посылки, в то время как циклическая — достоверное выделение циклов временного объединения элементов при приеме. В распространенных технических задачах, циклическая и групповая синхронизации, реализуются одинаковыми способами.

Ниже в бакалаврской работе рассмотрены особенности устройств поэлементной синхронизации синхронных и старт - стопных информационно – измерительных систем. Устройства поэлементной синхронизации должны удовлетворять таким требованиям как:

1. Низкая погрешность синхронизации, то есть допустимое относительное временное отклонение тактовых импульсов (схроимпульсов) от своей идеальной синхронизации.
2. Минимальное время достижения синхронизма при первоначальном включении и по окончании передачи.
3. Устойчивое обеспечение синхронизма в условиях помех и кратковременных прерываний передачи информации.
4. Независимость синхронизации от структуры передаваемой информации.

Данные условия противоречивы. Однако выбор оптимальной структуры информационных сигналов или потоков и оптимальных параметров самих устройств синхронизации, обеспечивает необходимую точность синхронизации.

1. Импульсная поэлементная синхронизация

Поэлементная синхронизация (ПЭС) выполняется на основе некоторого автономного источника (АИ) временного эталона и на способах вынужденной синхронизации, которые используются в условиях, когда время связи, не превышает время сохранения синхронизации.

При этом роль АИ может исполнять генератор с повышенной стабильностью периода колебаний, например кварцевый генератор КГ.

Способы вынужденной или принудительной синхронизации основываются на применении выделенного канала, в котором передаются импульсы, необходимые для подстройки КГ или последовательности информационного потока.

Применение выделенного канала приводит к уменьшению пропускной способности основного (информационного) канал, так как выделяется дополнительный канал синхронизации.

По характеру создания тактирующих импульсов, устройства синхронизации (УС) с принудительной синхронизацией бывают:

- разомкнутые устройства, в которых отсутствует обратная связь (ОС);
- замкнутые устройства, в которых присутствует ОС, причем как положительная, так и отрицательная.

В УС без ОС тактовые импульсы (синхросигналы) формируются непосредственно из потока информационной последовательности.

Создание синхросигналов достигается путем выделения из принятой информационной последовательности, элементов с частотой ЗМ, посредством колебательных контуров с высокой избирательностью и частотой резонанса равной ЗМ.

Устройства поэлементной синхронизации (ПЭС) с ОС достаточно активно применяются в телекоммуникационных системах с низкой и средней скоростью передачи информационных потоков.

При этом они делятся на два вида: с прямым и косвенным действием на генератор синхронизирующих импульсов.

В наше время, с целью снижения влияния статистической структуры информационных потоков на точность и время сохранения синхронизма применяется операция скремблирования.

При которой на передающей стороне передаваемая последовательность суммируется с известной псевдослучайной последовательностью, а при приеме производят операцию вычитание данной последовательности из принятого сигнала.

Устройства синхронизации данного типа нашли свое использование при передачи дискретной информации с высокой скоростью.

Ниже рассматривается ряд устройств синхронизации с обратной связью и применением линий задержки.

2. Импульсная синхронизации на основе многофазного опорного генератора импульсов

На рисунке 2.1 приведена электрическая функциональная схема устройства синхронизации, которое выполнено с применением запаздывающей обратной связи на основе линии задержки.

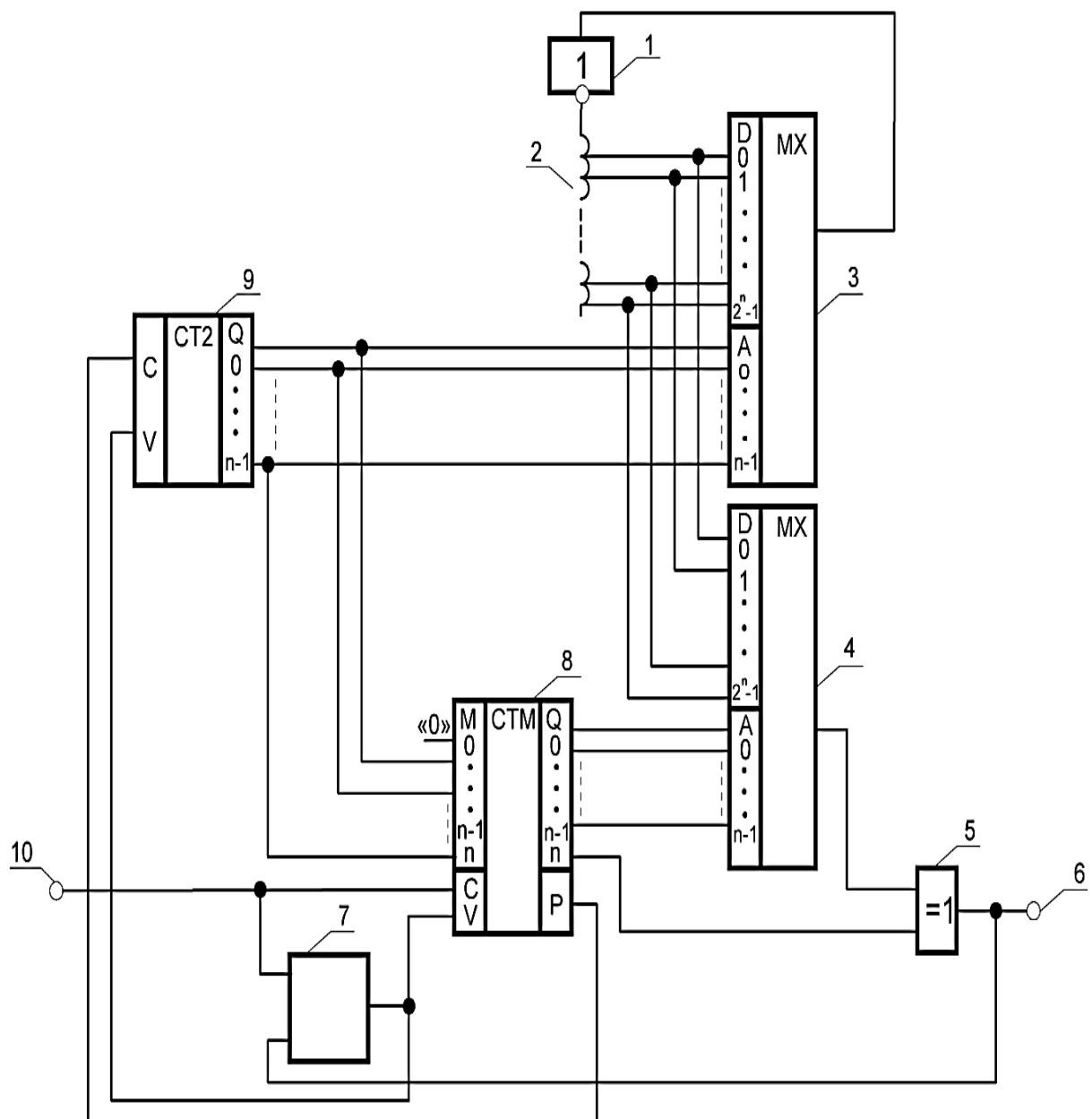


Рисунок 2.1- Электрическая функциональная схема устройства синхронизации.

В состав устройства входит инвертор посредством многофазного опорного генератора импульсов (ГИ) 1, с ООС через линию задержки 2 и мультиплексор (МХ) 3.

Адрес МХ 1, и число фаз опоры и частоту опоры устанавливает счетчик импульсов (СЧ)9.

Второй МХ адрес 4 формируется синхросигналом и элементом ИСКЛЮЧАЮЩЕЕ ИЛИ 5 под управлением второго СЧ 8 с изменяющейся емкостью, зависящей от цифрового значения первого счетчика импульсов 9.

Фазочастотный (ФЧ) компаратор 7 после сравнения фаз входного и выходного сигналов задает направление отсчета СЧ 9 и 8.

Тактовыми импульсами первого счетчика 9 служат импульсы займа и переноса второго СЧ 8. В результате получаем - расширение частотной полосы синхронизации.

Основная цель данного устройства - расширение полосы частот синхронизации.

Данная цель достигается с помощью изменения частоты цифровым способом тогда, когда она не совпадает с входной. Знак разности этих частот задается в соответствии с направлением длительной фазовой коррекции выходного синхросигнала.

Для достижения этой цели в устройство дополнительно введен еще один мультиплексор, дополнительный реверсивный счетчик с изменяющейся емкостью, ФЧ - компаратор и логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ.

Выход данного логического элемента, также являющийся для устройства синхронизации выходом, присоединен к одному из входов компаратора, другой вход которого одновременно с тактовым входом

дополнительного реверсивного счетчика с изменяющейся емкостью соединен с входным зажимом устройства синхронизации.

Первый реверсивный счетчик с изменяющейся емкостью своими входами установления емкости присоединен к соответствующим выходам дополнительного реверсивного счетчика, старшим выходом - к одному входу логического элемента, описанного выше, еще один вход которого подключен к выходу дополнительно введенного мультиплексора, а оставшимися выходами - к адресным входам первого мультиплексора.

Входы, управляющие реверсом обоих счетчиков импульсов, подключены к выходу компаратора, а выход переноса второго реверсивного счетчика с изменяющейся емкостью подключен к тактовому входу второго счетчика импульсов.

Второй реверсивный счетчик импульсов с изменяющейся емкостью выполняется на двоичном реверсивном счетчике импульсов, с применением тактового входа, входа реверса счета, а также наличием информационных входов и входом непоследовательной записи информации.

Также в этот счетчик импульсов дополнительно введены демультимплексор и компаратор.

Информационные входы демультимплексора служат входами задания значения емкости, адресный вход подключен к входу реверса счета двоичного реверсивного счетчика, а первая группа выходов подключена к информационным входам счетчика, описанного выше.

Выход компаратора служащий в качестве выхода переноса другого реверсивного счетчика с изменяющейся емкостью, подключен к входу параллельной записи информации данного счетчика.

Первая часть входов компаратора соединена с выходами двоичного счетчика импульсов, а вторая часть входов - со второй группой соответствующих выходов демультиплексора.

ФЧ - компаратор выполняется на паре синхронных триггеров, у которых тактовые входы являются входами для ФЧ - компаратор.

Общая цепь сброса для триггеров выполняется через логический элемент И - НЕ, входы которого входы подключены к прямым выходам определенных триггеров.

Также ФЧ - компаратор включает в себя еще один триггер и еще два элемента И - НЕ.

Помимо этого дополнительный триггер, выход которого служит в качестве выхода ФЧ - компаратор, своими входами подсоединен к выходам соответствующих третьего и второго логических элементов И - НЕ. Входы второго и третьего элементов И - НЕ подключены к разноименным выходам определенных синхронных триггеров из пары основных триггеров.

Если оба триггера, которые входят в устройство синхронизации, в наличии имеют количество адресных входов равное n , то линия задержки, будет иметь 2^n отводов, тогда первый счетчик импульсов должен состоять из, как минимум, n разрядов, а второй, по крайней мере, на один больше $(n+1)$ разряд.

Для получения для устройства синхронизации наибольшей инерционности в первый реверсивный счетчик Q должен иметь более n разрядов, где должно использоваться n старших.

На рисунке 1.3 показана электрическая функциональная схема одного из возможных вариантов осуществления устройства синхронизации компаратора.

В то время как схема СЧ 8, входящего в состав устройства синхронизации, изображенного на рисунке 2.1, показана на рисунке 2.2.

Схема содержит реверсивный двоичный счетчик импульсов (РСЧ) 11, компаратор 12 и демультиплексор 13, имеющий структуру 4x1--->2.

Он соединяет группу входов 11, 15, 16, 17, служащих для задания счета, к одной группе выходов, выбор которой зависит от сигнала на адресном входе, который соединен с входным зажимом управления 18 реверсом.

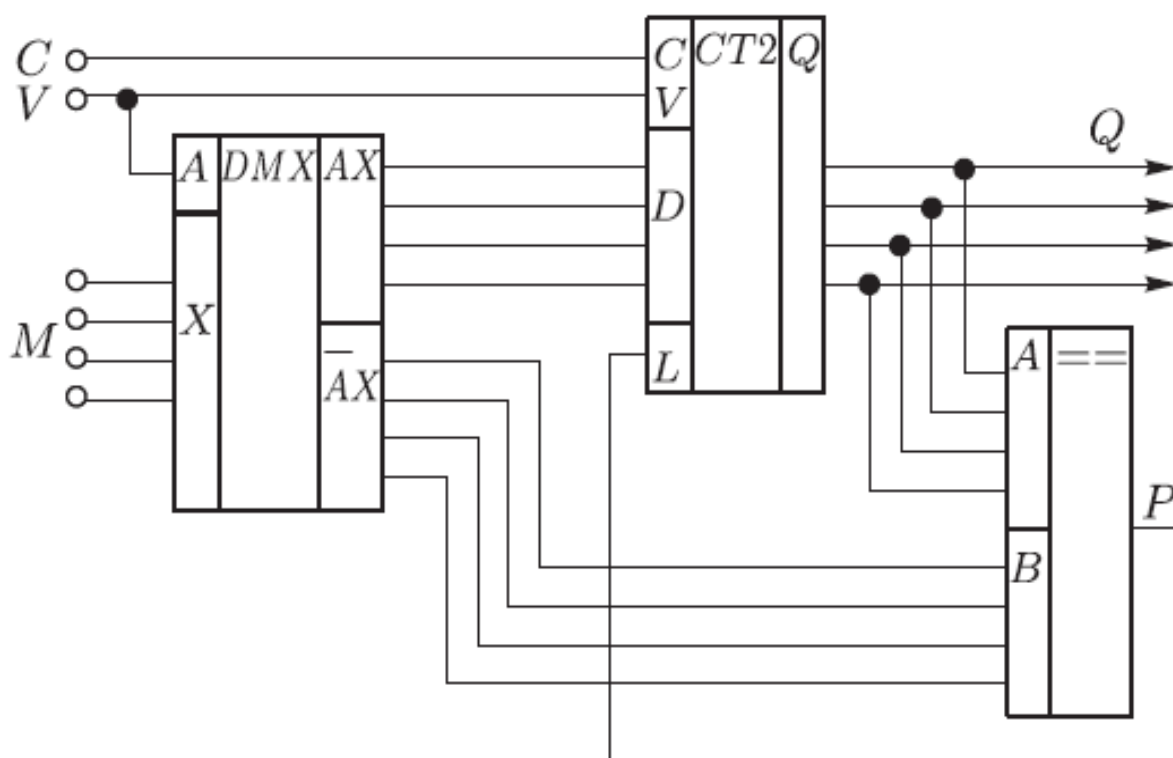


Рисунок 2.2 - Вариант исполнения СЧ 8 с изменяющейся емкостью.

Выход компаратора 12, который подключен к входу параллельной загрузки СЧ 11, является выходом займа и переноса данного блока, в котором вырабатывается сигнал при равенстве сравниваемых чисел.

Параллельная загрузка числа с информационных входов реверсивного двоичного счетчика 11 импульсов осуществляется при поступлении тактового сигнала при наличии уровня логической "1" на входе параллельной нагрузки 1.

Схема ФЧ - компаратор 7, показанная на рис. 1.3, включает пару синхронных триггеров (ТГ) 20 и 21 D - типа, входы 22 и 23 которых являются для ФЧ - компаратора входами, три логических элемента И - НЕ 24-26 и выходного ТГ RS - типа 27.

Входы D обоих ТГ 20 и 21 подсоединены к шине логической "1", а входы сброса R - к выходу элемента 24, входы которого подключены к выходам ТГ 20 и 21.

Выходы логических элементов И - НЕ 25 и 26 присоединены к входам ТГ 27, который образует выходной сигнал ФЧ - компаратор 7.

Пара входов элемента 25 присоединена к прямому выходу ТГ 20 и инверсному выходу ТГ 21, а пара входов элемента 26 подключена соответственно к прямому выходу ТГ 21 и инверсному выходу ТГ 20.

Максимальная емкость СЧ 8 импульсов с изменяющейся емкостью (рис. 1.2) задается бинарным числом, которое поступает на зажимы 14...17, а направление счета - логическим уровнем нуля или единицы на зажиме 18.

В режиме суммирования на зажим 18 подается уровень логического нуля, при этом в режим суммирования устанавливается СЧ 11 импульсов, а демультимплексор 13, в свою очередь, формирует на его входах двоичное число 0000, при этом передавая бинарное число с зажимов 14...17 на входы В компаратора 12.

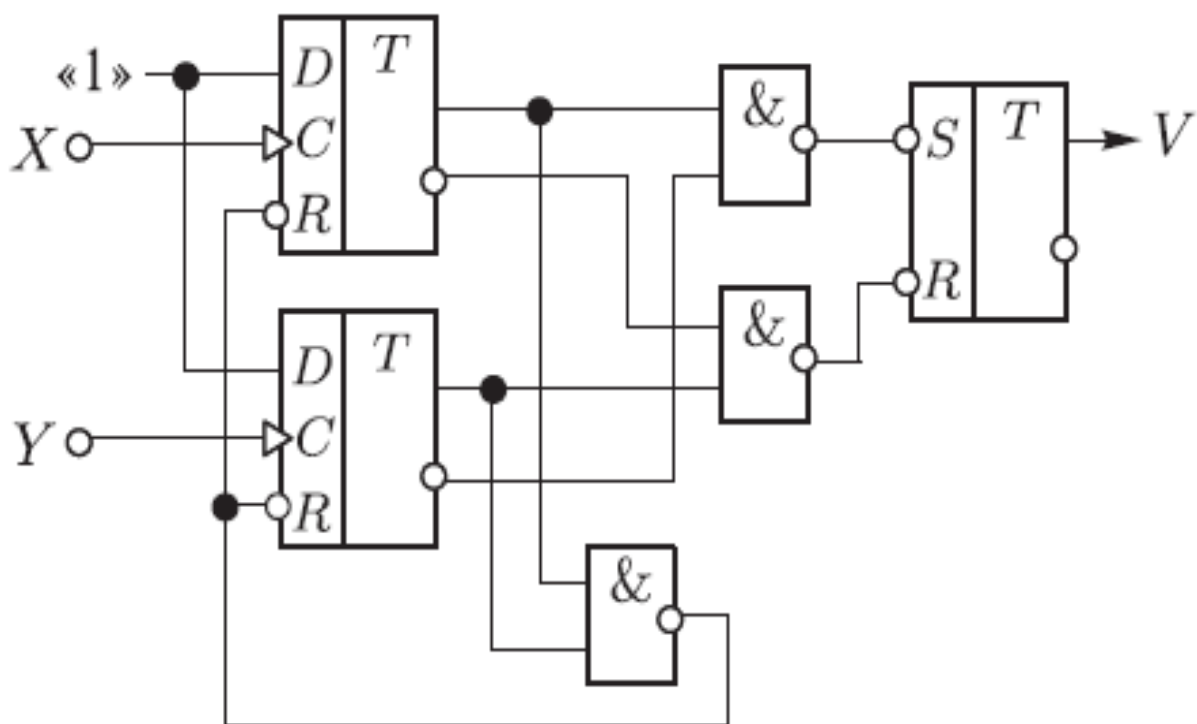


Рисунок 2.3- Схема ФЧ - компаратора

Тактовые импульсы, поступающие на зажим 19, суммируются СЧ 11 до достижения заданной емкости.

Компаратор 12 вырабатывает сигнал равенства, поступающий на вход L параллельной загрузки СЧ 11 импульсов.

При поступлении последующего импульса на зажим 19 в счетчик 11 загружается число с его информационных входов, т.е. число 0000.

Таким образом, в режиме суммирования счетчик 11 циклически принимает состояния от 0000 до числа, равного заданному значению емкости на зажимах 14...17.

При поступлении уровня логической единицы на зажим 18 СЧ 11 переходит в режим вычитания.

Одновременно он передает число с зажимов 14... 17 на входы СЧ 11, а на входы компаратора 12 - число 0000.

С каждым импульсом на зажиме 19 содержимое СЧ 11 уменьшается на одну единицу, до тех пор, пока не достигнет нулевого состояния.

Тогда компаратор 12 вырабатывает сигнал равенства в виде уровня логической единицы, подающийся на вход L параллельной загрузки СЧ 11 импульсов. Поэтому в следующем такте работы СЧ 11 принимает состояние, которое равно заданной емкости.

Т.е. о, в режиме вычитания СЧ 11 импульсов циклически принимает состояния от числа заданной емкости на зажимах 14...17 до числа 0000.

ФЧ - компаратор, изображенный на рисунке 2.3, включает пару синхронных триггеров (ТГ) 20 и 21 с цепью сброса, общей для обоих, через логический элемент И - НЕ 24.

Другие элементы И - НЕ 25 и 26 и RS-триггер 27 служат для устранения краткосрочного импульса, который возникает на выходе второго из взводимых ТГ перед их сбросом.

Еще одним их применением является получение сигнала, управляющим направлением счета обоих СЧ 8 и 9 на схеме рис.1.1

Работа ФЧ - компаратора осуществляется в следующем порядке.

В начальном состоянии ТГ 20 и 21 сброшены, а ТГ 27 не изменяет ранее достигнутое состояние. Когда сначала сигнал приходит на синхронизирующий вход С ТГ 20, то он устанавливает ТГ 27 в состояние логической единицы.

После этого на вход С ТГ 21 приходит второй из сигналов, необходимых для сравнения, элемент И - НЕ 24, зафиксировав совпадение логических единиц на своих входах, в одно и то же время сбрасывает ТГ 20 и 21.

Краткосрочный импульс сброса с выхода ТГ 21 на ТГ 27 через элемент И - НЕ 26 не поступает ввиду того, что на другом его входе во время действия этого импульса удерживается значение логического нуля с инверсного выхода ТГ 20.

В обратном случае, когда сначала взводится ТГ 21, а вторым - ТГ 20, устройство работает абсолютно аналогично, но с одним отличием, что RS - триггер 27 принимает обратное нулевое состояние.

Отсюда следует, что выходной сигнал ФЧ - компаратор, который формируется с помощью ТГ 27, является уровнем напряжения, который отражает знак разности фаз сравниваемых сигналов.

Работа устройства синхронизации (рис. 2.1) осуществляется в следующем порядке.

Если на зажиме 10 отсутствуют входные сигналы, то СЧ 8 и 9 сохраняют статические состояния.

Цифровое содержимое первого СЧ 9 задает емкость второго СЧ 8 импульсов посредством изменяющейся емкости. Монтажным путем устанавливает ее в два раза больше указанного содержимого ввиду подключения каждого n - го выхода СЧ 9 к $(n+1)$ - му входу установления емкости СЧ 8 и соединения младшего входа установления емкости СЧ 8 с нулевой шиной.

В соответствии с адресом, равным двоичному значению содержимого первого СЧ 9 импульсов, мультиплексор 3 подсоединяет к входу инвертора 1 отвод многоотводной линии задержки 2, порядковый номер отвода при этом равен его адресу.

При этом в инверторе 1 генерируются импульсы с периодом $T_0 = 2kt$,

где k , это адрес мультиплексора 3, а t - время задержки одной секции линии 2 задержки.

Следовательно, инвертор 1, мультиплексор 3 и многоотводная линия 2 образуют в совокупности ГИ 1, количество фаз и частота которого устанавливаются выходным числом первого СЧ 9 импульсов.

Выходами ГИ являются все 2^n отводов многоотводной линии 2 задержки, при адресе равном k из которых, используются k отводов.

На первом отводе линии 2 задержки образуется основной опорный сигнал, а на остальных - его сдвинутые по фазе на π/k копии.

Мультиплексор 4 при управлении вторым СЧ 8 импульсов с изменяющейся емкостью производит выбор одной из фаз ГИ за счет элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 5, который работает как инвертор, начинает формировать синхросигнал на зажиме 6.

При этом совокупность импульсов на отводах линии задержки 2 и их инверсий, составляет пары из $2k$ фаз с равномерным по времени сдвигом π/k , соединенных в пределах периода, являющемся опорным.

Все 2^n выходов ГИ подключены к входам мультиплексора 4, на котором адрес задается с помощью младших n выходов (0- ($n-1$)) СЧ 8 импульсов с изменяющейся емкостью.

Бинарное содержимое k СЧ 9 импульсов задает емкость СЧ 8, равной $2k$. Если на зажиме 10 отсутствуют входные сигналы то, из-за постоянства адреса мультиплексора 4, на зажиме 6 частота сигналов равна частоте ГИ, а их фаза и неизменна и не привязана по отношению к фазе ГИ.

При поступлении входных сигналов на зажим 10 компаратор 7 определяет между фазой этих сигналов и фазой синхросигналов знак

разности на зажиме 6 и переводит оба СЧ 8 и 9 либо в режим суммирования (при отставании синхросигнала), либо в обратный режим (вычитания).

По ходу поступления сигналов на зажим 10 СЧ 8 импульсов с изменяющейся емкостью осуществляет подстройку фазы на выходном зажиме 6 приходящих синхросигналов.

При поступлении сигнала займа или переноса в СЧ 8 импульсов с изменяющейся емкостью этот сигнал далее поступает на вход СЧ 9 импульсов. В итоге содержимое этого счетчика изменяется на +1 или -1, что изменяет числа фаз ГИ с изменением частоты опоры и к изменению емкости СЧ 8 импульсов с изменяющейся емкостью.

Процесс установления синхронности благодаря подстройке фазы синхросигналов за счет второго СЧ 8 импульсов с изменяющейся емкостью и, за счет первого СЧ 9 импульсов будет продолжаться до абсолютного совпадения фаз выходного синхросигнала и сигнала на зажиме 10.

Впоследствии, синхронизм сохраняется с погрешностью ± 1 , что соответствует погрешности π/k .

Расширенная полоса синхронизации в данном устройстве достигается за счет дополнительно введенной цепи коррекции частоты опоры.

3. Формирование синхронизированных временных интервалов

Данный формирователь позволяет обеспечить повышение точности формирования интервала времени за счет привязки его начальной фазы (переднего фронта) к сигналу запуск.

На рисунке 3.1 изображена структурная схема данного устройства.

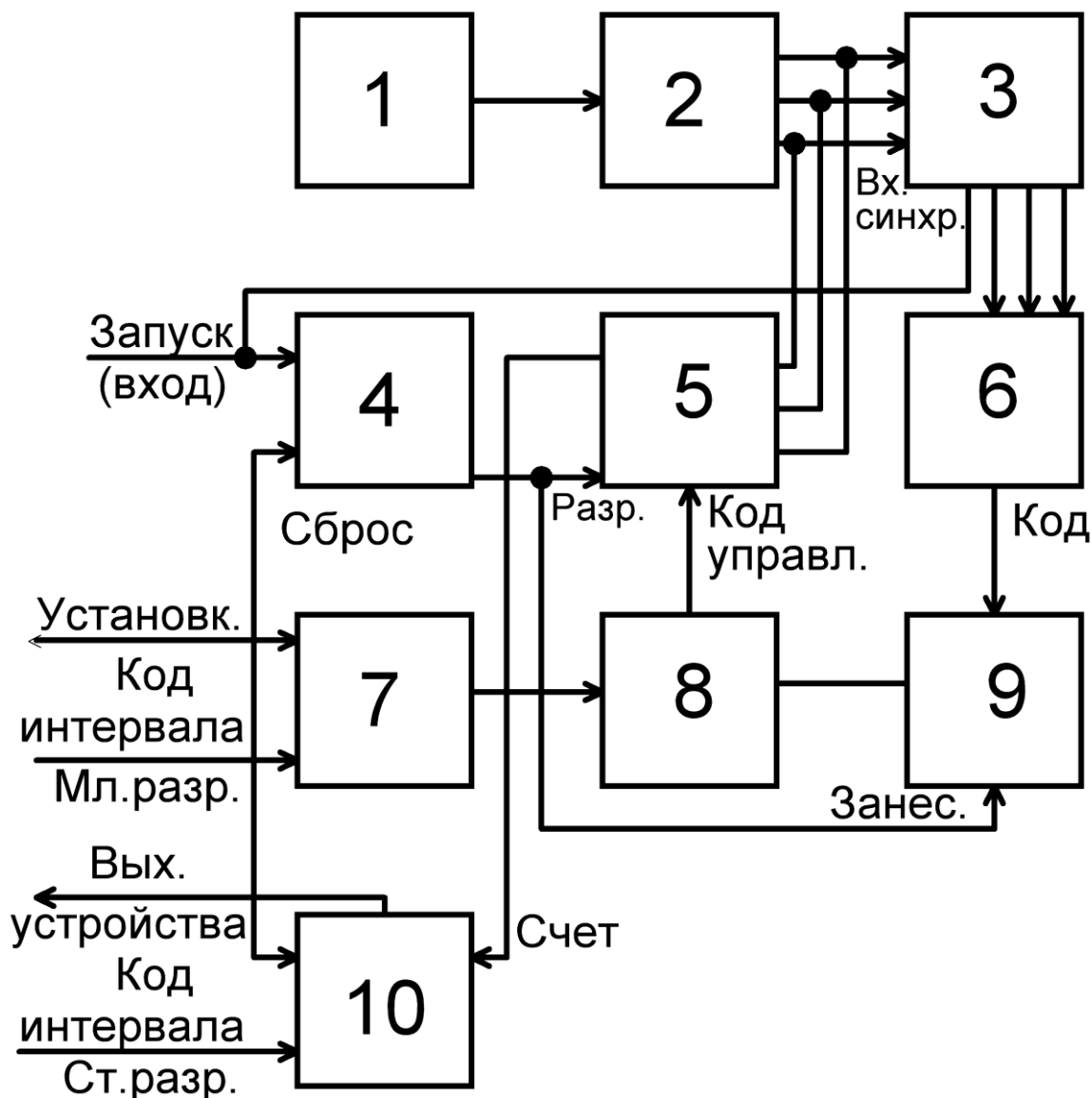


Рисунок 3.1- Структурная схема устройства для формирования интервала времени

Устройство для формирования интервала времени включает:

- эталонный генератор импульсов (ГИ)-1
- линия задержки, включая отводы (ЛЗ)-2
- синхронизатор-3
- триггер управления ($ТГ_{упр}$) -4
- мультиплексор-5
- шифратор двоичного кода -6
- различные регистры -7
- сумматор- 8
- первый регистр- 9
- счетный вход счетчика-10

Повышение точности достигается ввиду того, что в устройстве формирования интервала времени, информационный вход подключен к шине кода, отвечающего за интервал младших разрядов.

Линия задержки и мультиплексор дают возможность уменьшить дискретность формируемого временного интервала без увеличения частоты ГИ, второй регистр и сумматор, обеспечивают введение дополнительных младших разрядов.

Работа данного устройства выглядит следующим образом.

Импульсы счета эталонной частоты, которые вырабатываются ГИ 1 распределены в пространстве и времени линией задержки 2, таким образом что период импульсов T_0 разделяется на n временных составляющих, каждая из которых $\geq T_0/n$ (где n в данном случае количество выводов ЛЗ), поступают на входы синхронизатора 3.

По сигналу «Запуск» на синхронизаторе, а точнее на одном из его выходов, создается импульс, совпадающий полностью во времени с передним фронтом импульса соответствующего отвода ЛЗ 2.

Затем, с выхода синхронизатора 3 полученный код приходит на шифратор кода 6, с его выхода двоичный код приходит на вход регистра 9, в котором по переднему фронту запоминается сигнала $T_{упр} 4$.

На второй регистр 7 от устройства приходит и запоминается при сигнале "Установка" код интервала времени «младшие разряды».

С выходов регистров 7 и 9 коды приходят на входы сумматора 8, с выхода сумматора сумма двоичных кодов приходит на управляющий вход мультиплексора 5, таким образом, соответствующий выход ЛЗ 2 подключается к счетному входу счетчика 10.

На счетчике 10 при сигнале "Установка" записывается код «старших разрядов». При считывании двоичного кода со счетчика 10 на его выходе происходит формирование сигнала, означающее отметку заданного интервала времени, где дробная часть этого интервала учитывается при подключении определенного отвода ЛЗ 2.

Устройство начинает свою работу при сигнале "Запуск", начиная формирование интервала времени, и сигнале "Установка", при котором производится занесение кода интервала и сбрасывается значение $T_{упр} 4$.

Также, по сигналу "Запуск", образуется сигнал на разрешение счета на $T_{упр} 4$ и в регистре 9 формируется код номера соответствующего отвода ЛЗ 2, на котором сигнал совпадает с сигналом запуска.

На рисунке 3.2 изображена схема синхронизатора.

На каждом входе синхронизатора находятся схемы «И», на их вторые входы приходит синхронизирующий сигнал "Запуск" (разрешающий), в результате, на выходы схем И приходят импульсы с отводов ЛЗ 2, т.е. фиксируется момент (отрезок) времени, который больше периода $T_{И} 1$, или равный ему.

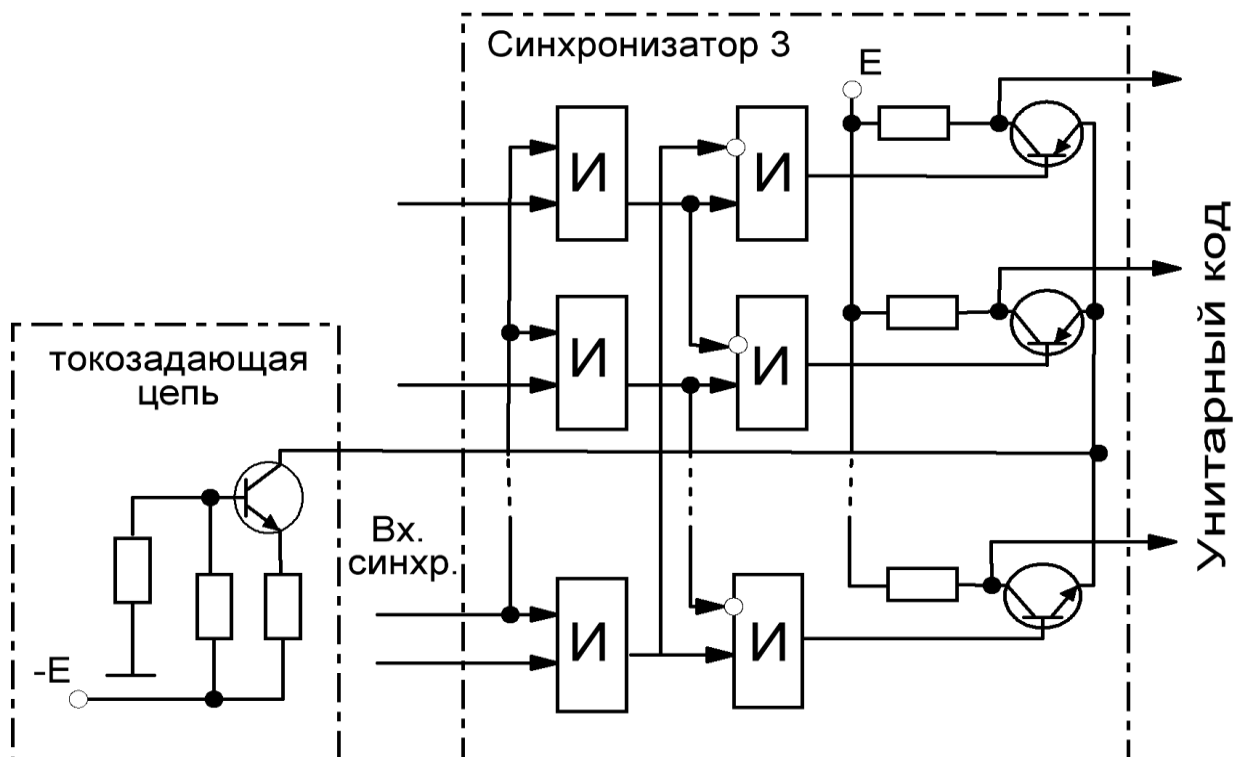


Рисунок 3.2- Схема синхронизатора

Затем подключена линейка схем на два входа (И), сигнал с предыдущей схемы И, с соответствующего выхода, поступает на один вход, а наследующий вход, который инвертирован, также поступает сигнал с выхода перед этим сработавшей схемы И.

В итоге на одном из выходов схем совпадения (или на двух, если дискретность отвода линии задержки $> T_0/n$) образуется сигнал, который совпадает во времени с фронтом только одного из импульсов с ЛЗ 2 и с передним фронтом задающего сигнала "Запуск".

Сигналы от каждой из схем совпадения приходят на базу транзистора. В активный режим переходит тот транзистор, куда приходит максимальный сигнал, остальные переходят в режим отсечки, т.е. формируется унитарный код затем поступающий на шифратор 6.

4. Генерирование импульсов с синхронизацией фазы и цифровой перестройкой периода следования

Вначале укажем на преимущества и недостатки устройств синхронизации (УС) с обратной связью (ОС) и прямым действием на период следования генератора на приемной стороне.

К достоинством УС с ОС относится простота технического воплощения, что особенно важно при повышенных скоростях функционирования.

А к недостаткам относятся:

- высокая погрешность синхронизации;
- сложность достижения высокой стабильности синхронизации из – за наличия паразитных связей, которые появляются в виду подключения к задающему колебательному контуру генератора реактивных элементов;
- непредсказуемый выход из синхронизма при прерывании связи или при отсутствии в принимаемой из канала последовательности.

Ниже рассматривается устройство генерирования электрических импульсов, которое используется в цифровых устройствах синхронизации фазы.

Функциональная схема генератора изображено на рисунке 4.1.

Генератор импульсов включает:

- инвертор -1;
- секционированная линия задержки – 2;
- элементы задержки – 3;
- мультиплексор – 4;

- блок, служащий для преобразования цифрового кода периода – 5;
- уменьшаемый вычитатель – 6;
- элемент типа И – НЕ – 7;
- входной зажим устройства – 8 и выходной зажим устройства – 9.

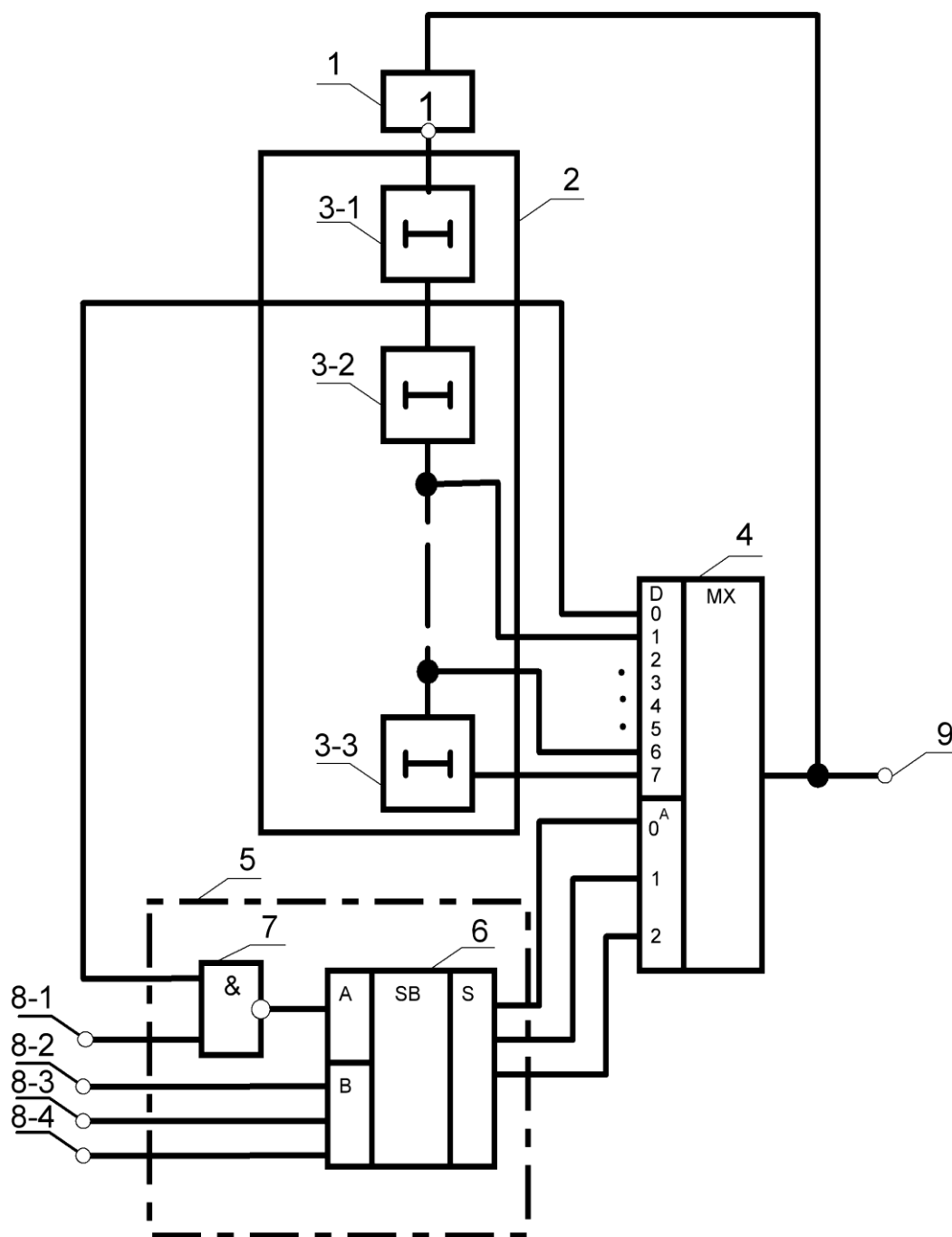


Рисунок 4.1-Генератор импульсов с синхронизацией фазы и цифровой перестройкой периода

Генерация импульсов в данном устройстве достигается за счет ОС инвертора через секционированную линию задержки.

Время задержки в цепи ОС регулируется путем управляемого выбора отвода секционированной линии задержки, сигнал с которого используется в качестве сигнала ОС.

Блок преобразования цифрового кода периода подключен выходами к соответственным входам мультиплексора, задающим адрес, первым входом - к первому отводу линии задержки, а оставшимися входами - к соответствующим входным зажимам цифрового кода периода.

Кроме этого вход инвертора присоединен к выходу мультиплексора.

Блок, служащий для преобразования цифрового кода периода исполнен в качестве вычитателя, который входом одноразрядного вычитаемого, подключенного с выходом логического элемента И - НЕ, один вход которого служит первым входом данного блока.

Второй вход логического элемента и входы многоразрядного уменьшаемого того же вычитателя составляют группу остальных входов блока преобразования.

Секционированная линия задержки может выполняться как электромагнитная линия задержки.

Допустим, секционированная линия состоит из 2^n секций, тогда устройство должно иметь $(n+1)$ входных зажимов. И тогда вычитатель будет являться n - разрядным.

Пусть для определенности $n = 4$. Тогда шестнадцать отводов секционированной линии 2 подключены к информационным входам 3 мультиплексора в порядке увеличения порядковых номеров отводов.

Двоичное число $V = b_n b_{n-1} \dots b_0$ цифрового кода периода, которое может принимать значения от 2 до $(2^{n+1}-1)$, затем поступает на зажимы 8-1, 8-2, 8-3, 8-4, притом, что на зажим 8-1 поступает младший разряд двоичного числа.

При каждом значении V 4 мультиплексор подсоединяет к входу 1 инвертора один из отводов линии задержки 2, что позволяет обеспечить режим генерации импульсов на выходных 9 зажимах и на остальных отводах линии задержки 2.

Во время неотрицательного полупериода импульса на одном отводе линии задержки 2, элемент И-НЕ 7 создает на своем выходе уровень, соответствующий логической "1", также если у цифрового кода V младший разряд b_0 равен «0» на входном зажиме 8-1, и логический "0", если $b_0 = 1$, т.е. получается обратное значение \bar{b}_0 .

Во время неположительного полупериода импульса на том же отводе, описанном выше, линии задержки 2 на выходе элемента И-НЕ 7 создается уровень, соответствующий логической "1", который не зависит от значения b_0 на входном зажиме 8-1.

Ввиду этого во время формирования неотрицательного полупериода импульса значение выхода вычитателя 6, оно же, являющееся адресом 4 мультиплексора, равно

$$A^+ = b_n b_{n-1} \dots b_1 - \bar{b}_0 \quad (1)$$

где $b_n b_{n-1} \dots b_1$ – значение высших разрядов кода V на входных зажимах 8-2(-4), а \bar{b}_0 – инверсное значение его младшего разряда на зажиме 8-1.

Во время формирования неположительного полупериода адрес 4 мультиплексора, равен

$$A^- = b_n b_{n-1} \dots b_1 - 1 \quad (2)$$

Значение A^+ показывает продолжительность положительного полупериода. Аналогично с числом A^- продолжительность отрицательного.

Согласно порядку соединения отводов линии задержки 2 входами мультимплексора 4 полный период сгенерированных импульсов равен

$$T = T^+ + T^- = (A^+ + 1)\Delta t + (A^- + 1)\Delta t = (A^+ + A^- + 2)\Delta t \quad (3)$$

где Δt - время задержки для одной секции линии задержки 2.

Но, учитывая (1) и (2)

$$\begin{aligned} A^+ + A^- &= b_n b_{n-1} \dots b_1 - \bar{b}_o + b_n b_{n-1} \dots b_1 - 1 = \\ &= 2b_n b_{n-1} \dots b_1 - 2 + b_o = \\ &= b_n b_{n-1} \dots b_b - 2 = B - 2 \end{aligned} \quad (4)$$

Подставив это выражение в (3), получим

$$T = B\Delta t \quad (5)$$

Следовательно, период T сгенерированных импульсов пропорционален значению кода на зажимах 8 и период может варьироваться электронным способом от $2\Delta t$ до $(2^{n+1}-1)\Delta t$.

5. Управляемая синхронизируемая линия задержки

Функциональная схема синхронизируемой линии задержки (ЛЗ) изображена на рисунке 5.1.

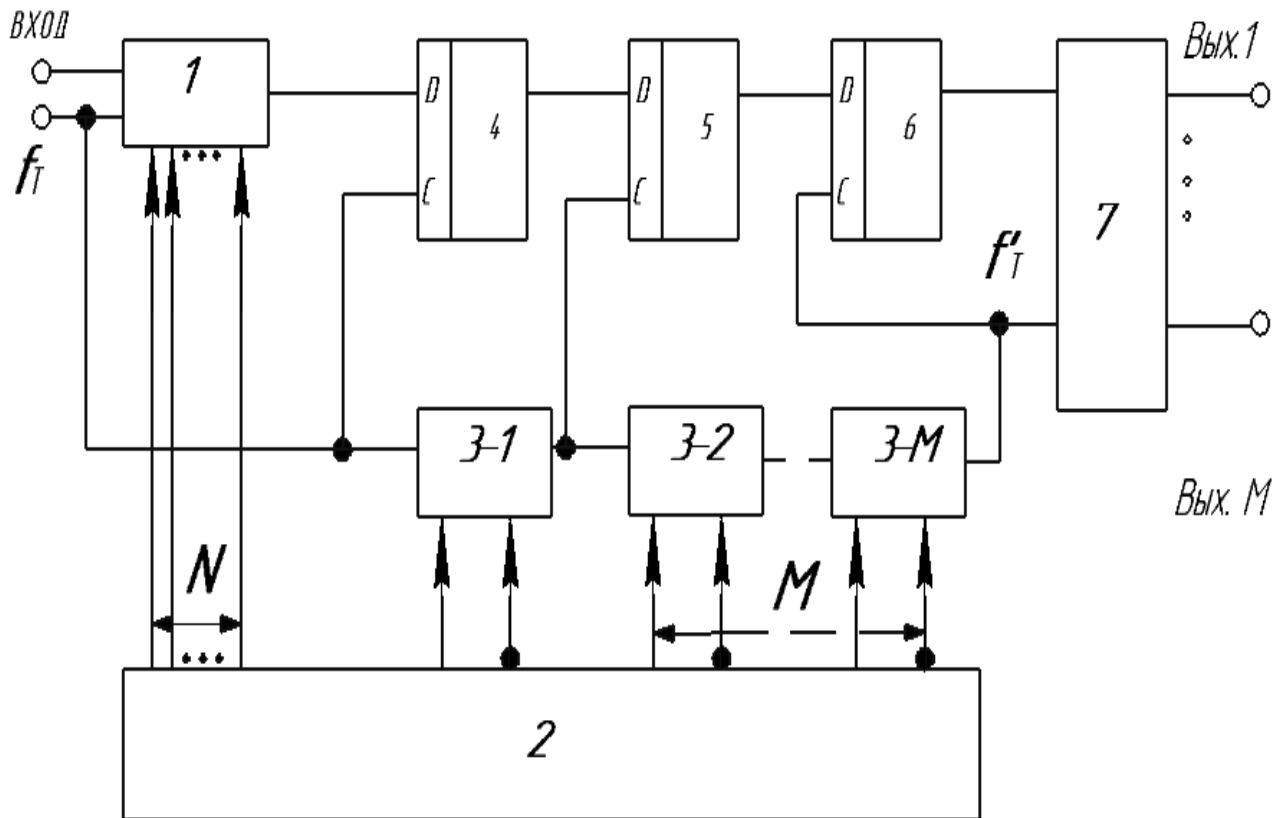


Рисунок 5.1- Функциональная схема линии задержки

В состав управляемой линии задержки (ЛЗ) входит:

- управляемый блок квантовый К - разрядной ЛЗ-1;
- (К+М) - разрядный управляющий бинарный счетчик (СЧ) -2;
- последовательно соединенные разрядные ячейки 3-1...3-М;
- D - триггеры (ТГ)- 4-6;
- формирователь совокупности импульсов – 7;

Формирователь совокупности импульсов изображен на рисунке 4.2.

В его состав входит:

- бинарный счетчик- 8;
- RS-триггер-9;
- ПЗУ-10 и регистр -11.

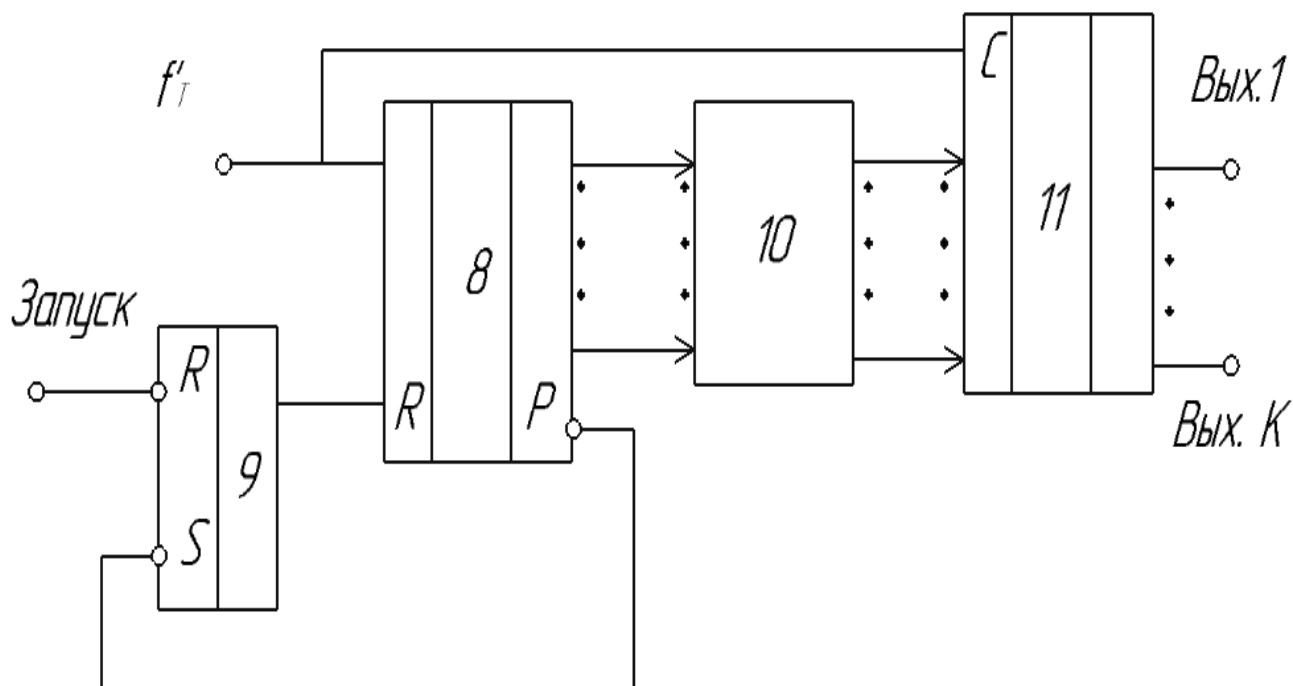


Рисунок 5.2- формирователь совокупности импульсов

Вход формирователя «Запуск» подключен к входу установки в значение «0» RS-триггера 9, выход переполнения бинарного счетчика 8 соединен с входом установки логической 1 RS - триггера 9, а выход самого счетчика подключен к входу установки «0» счетчика 8.

В случае поступления запускающего импульса на вход блока ЛЗ 1 на его выходе образуется задержанный импульс, у которого время задержки:

$$t_{30} = AT_0$$

где A - код задержки, который определяется разрядами СЧ 2, которые подсоединены к управляемым входам блока, а T_0 - период тактовой частоты, которая поступает на вход первого блока.

Условием качественной работы устройства является жесткая связь переднего фронта тактового сигнала и запускающего импульса.

С выхода первого блока ЛЗ 1 задержанный импульс поступает на вход ТГ 4, на синхронизационный вход которого поступает тактовой сигнал частоты. Помимо этого задержанный импульс привязывается по времени к фронту импульса тактовой частоты.

Тактовый сигнал поступает и на вход цепи, которая состоит из M последовательных разрядных ячеек, входы которых подключены к соответствующим разрядам СЧ 2.

Вес старшей разрядной (СР) ячейки задержки M равен одной второй от периода такта. Тактовый сигнал поступает на синхронизационный вход ТГ 5, при этом на его информационный вход приходит импульс с выхода ТГ 4.

В ТГ 5 происходит пере привязка задержанного сигнала по фронту в первом блоке ЛЗ к фронту тактового сигнала в СР ячейке.

При минимальном и максимальном времени задержки сигнала тактовой частоты это устраняет возможную однозначность в ячейках задержки $3-(1 \div M)$.

Тактовый сигнал с выхода СР ячейки приходит и на вход цепи, на время задерживается в $M-1$ разрядных ячейках, пропорциональное их коду и весу на соответственных разрядах СЧ 2.

С выхода последней разрядной ячейки тактовый сигнал приходит на синхронизационный вход ТГ 6, где происходит привязка по времени сигнала поступающего сигнала с выхода ТГ 5.

Таким образом, на выходе ТГ 6 образуется сигнал, у которого задержка по времени относительно импульса запуска равна

$$t_3 = t_{30} + B \frac{T_0}{2^M} + c = AT_0 + B \frac{T_0}{2^M}$$

где B - код СЧ 2 на M младших разрядах;

c - постоянный начальный сдвиг по времени выходного сигнала

С выхода ТГ 6 задержанный сигнал и задержанный сигнал тактовой частоты с выхода цепи M последовательных разрядных ячеек приходит на соответственные входы формирователя 7.

Ввиду того, что фронт сигнала, который поступает с выхода ТГ 6 на запускающий вход формирователя 7 и фронт сигнала, приходящего на тактовый вход формирователя одинаковы, то это формирует необходимое заданное количество совокупностей импульсов внутри каждой пачки, положение во времени которых определяется весом младшего разряда СЧ 2, т.е. $\frac{T_0}{2^M}$

Работа формирователя совокупностей импульсов происходит следующим образом.

При поступлении сигнала тактовой частоты СЧ 8 производит подсчет этих импульсов до появления переполняющего импульса, переводящего ТГ 9 в состояние логической единицы.

Высокий потенциал на выходе ТГ 9 устанавливает СЧ 8 в нулевое состояние и сохраняет данное состояние до поступления на вход ТГ 9 запускающего импульса в «0».

После поступления запускающего импульса на выходе ТГ 9 становится низкий потенциал. СЧ 8 начинает счет импульсов сигналов

тактовой частоты, формируя на своих входах нарастающий линейно код. Данный код приходит на адресные входы ПЗУ 10.

Регистр 11 производит привязку сформированных совокупностей импульсов к импульсам тактовой частоты.

На каждом выходе формирователя 7 генерируется совокупность импульсов, положение во времени которых внутри совокупности определяется прошивкой ПЗУ 10. Каждая совокупность задерживается на время, которое задано кодом СЧ.

При этом положение каждого импульса из совокупности по времени известно с точностью, которая соответствует точности задержки импульсов тактовой частоты.

Это позволяет формировать совокупности импульсов на каждом выходе формирователя 7, положение фронтов которых по времени, известно с точностью определенной младшим разрядом СЧ 2.

6. Синхронизация каналов воспроизведения данных

Устройство относится к технике воспроизведения данных, и дает возможность повысить надежность и увеличить полосу синхронизации в дисковых накопителях при воспроизведении данных.

Структурная схема данного устройства изображена на рисунке 6.1.

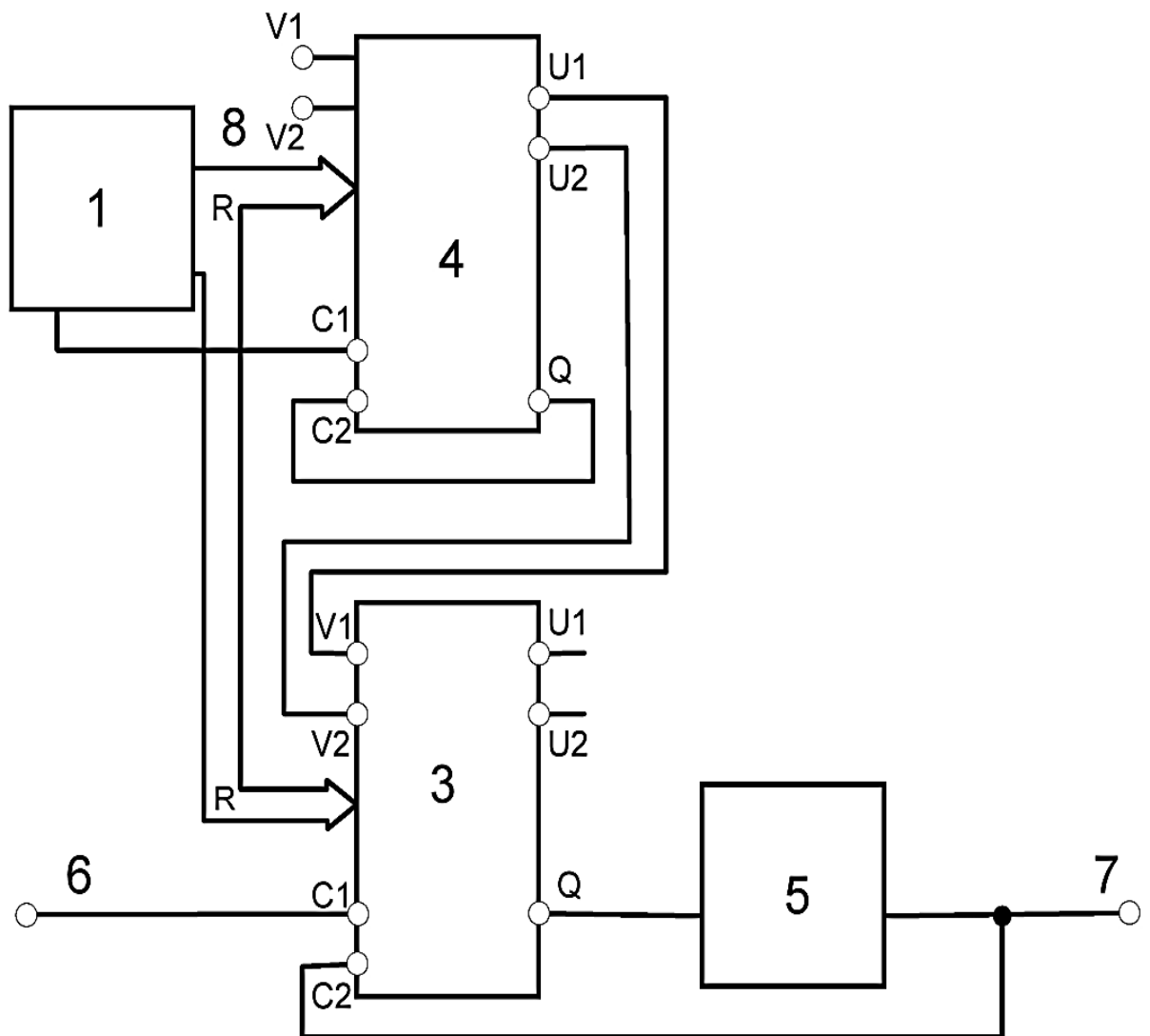


Рисунок 6.1- Структурная схема устройства синхронизации канала воспроизведения данных

В его состав входит:

- дополнительный блок фазовой автоподстройки (ФАПЧ) - 4
- основной блок ФАПЧ - 3
- фильтр - 5
- многофазный опорный генератор (ГИ) - 1
- такты выход ГИ - 2
- входная шина данных - 6
- выходная шина синхронизации - 7
- единая цифровая шина - 8

Предполагается, что каждый n -ый выход ГИ соединен с соответствующим n -ми входами блоков ФАПЧ.

Каждый из блоков ФАПЧ (рисунки 6.1, 6.2) имеет опорный вход R , пару управляющие входы $V1$ и $V2$, управляющие выходы $U1$ и $U2$. Два сигнальных входа $C1$ $C2$ и выход Q .

В состав блока ФАПЧ (рис.6.2) входит, реверсивный счетчик (СЧ) 10, триггер(ТГ) 11, логические элементы И 12 и 13, логические элементы ИЛИ 14 и 15и мультиплексор 9.

ГИ 1 (рисунок 6.3) включает в себя основной инвертор 16, охваченный ОС через согласованную линию задержки (ЛЗ) 17, дополнительные инверторы 18.1-18.8. Отводы ЛЗ 17составляют одну половину выходов многофазного ГИ 1, а выходы доп. инверторов 18.1...18.8 - вторую половину.

Время задержки ЛЗ 17 должно выбираться равным половине периода ГИ. На каждом из отводов ЛЗ 17 образуется сдвинутая на время Δt последовательность, которое является задержкой одного звена.

Максимальный сдвиг фазы импульса на последнем выходе ЛЗ относительно выходного импульса инвертора 16 составляет π .

Для получения копий основного импульса со сдвигом в диапазоне $\pi \div 2\pi$ используются инверторы 18 \div 25. То есть, на шестнадцати выходах ГИ 1 получаются идеально синхронизированные по фазе в пределах полного 2π периода последовательности импульсов-меандров со сдвигом по фазе на угол $2\pi /16 = 22,5^\circ$

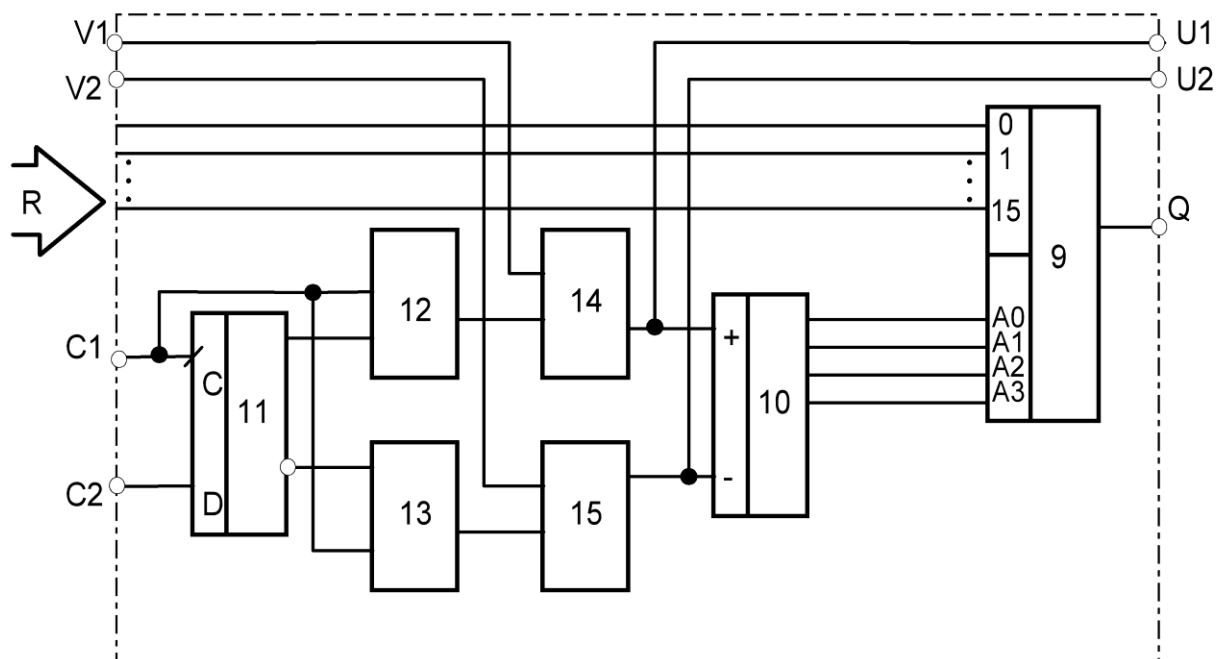


Рисунок 6.2- Блок ФАПЧ

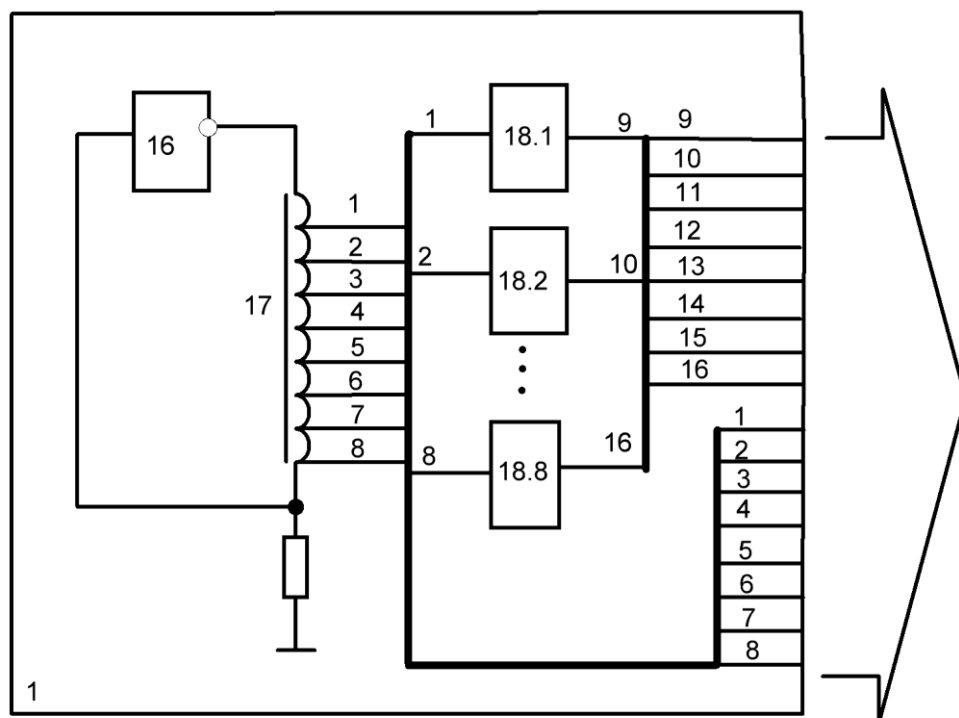


Рисунок 6.3- Многофазный опорный генератор

Каждый блок ФАПЧ (рисунок 6.2) использует ту особенность ГИ 1, что на выходах генератора существуют в одно и то же время все из возможных фаз опорного сигнала.

При выборе опорного сигнала с необходимой фазой, блок ФАПЧ способен отслеживает любые фазовые изменения сигнала даже за пределами диапазона $0...2\pi$.

Пусть в блоке ФАПЧ (рисунок 6.2) выход Q замкнут на второй вход сигнала С2, а на вход сигнала С1 приходит входной сигнал с частотой, сопоставимой с частотой ГИ 1, выходы которого (рисунок 6.3) подсоединены к входу R блока ФАПЧ. Входы V1 и V2 находятся в свободном состоянии.

Если на сигнальном входе С1 сигналы отсутствуют, то СЧ 10 не изменяет раннее полученное состояние и выдает на входы мультиплексора 9 постоянное бинарное число.

Мультиплексор 9 на выход блока Й коммутирует один из своих входов $0\div 15$, номер которого, в свою очередь, равен адресному числу.

На выходе блока ФАПЧ создается постоянная последовательность импульсов с опорной частотой.

Если на сигнальный вход С1 приходят входные сигналы, то работа данного блока зависит от соотношения фаз между ними и сигналами ОС, которые поступают с выхода Q.

В случае, когда входной сигнал полностью по времени совпадает с низким уровнем сигнала с выхода, то ТГ 11 сбрасывается.

Из-за этого входной сигнал через логические элементы 13 и 15 поступает на вход вычитания СЧ 10, уменьшая его содержимое на единицу, ввиду того, что на входах $A0\div A3$ уменьшается адресное число мультиплексора 9, то происходит коммутация опорного сигнала на его выход с предыдущего по номеру входа из группы опорных входов R.

То есть происходит фазовая коррекция сигнала с выхода мультиплексора, компенсируя фазовое рассогласование.

В случае, когда входной сигнал полностью по времени совпадает с высоким уровнем сигнала с выхода, то ТГ 11 взводится.

Из-за этого входной сигнал через логические элементы 12 и 14 поступает на вход сложения СЧ 10 и мультиплексор 9 подсоединяет к своему выходу сигнал со старшего входа.

То есть происходит фазовая коррекция сигнала с выхода мультиплексора в противоположном направлении. Выходы обоих логических элементов 14 и 15 управляют выходами U1 и U2 блока ФАПЧ.

В конечном счете, после нескольких одинаковых циклов коррекции фазы на выходе Q оказывается сигнал, фронт которого с погрешностью, меньшей или равной шагу фазового регулирования, совпадает с входным сигналом.

В режиме умножения частоты, когда фазовая коррекция выходного сигнала выполняется через n периодов, где n - коэффициент кратности частоты, после коррекции n периодов T выходного сигнала, где период равен удвоенному значению времени задержки t_3 , у него отнимется или добавляется к нему отрезок времени не более Δt .

Обозначив число выходов ГИ 1 через k , выражение для границ полосы синхронизации, в пределах которых необходимо держать входную частоту f_c

$$\frac{kn}{2t_3(kn+1)} < f_c < \frac{kn}{2t_3(kn-1)} \quad (1)$$

Тогда относительная полоса синхронизации

$$\delta f_c = \max\left(\frac{f_c - f_o}{f_o}\right) = \frac{kn}{(kn)^2 - 1} \approx \frac{1}{kn} \quad (2)$$

Работа схемы синхронизатора заключается в следующем.

Многофазный ГИ 1 подает многофазные опорные сигналы 3 и 4 блоки ФАПЧ. Частота сигналов ГИ 1 должна выбираться равной частоте тактовых импульсов воспроизводимых данных, которые поступают на входную шину 6. На С1 второго блока ФАПЧ приходят импульсы с выхода 2 ГИ.

Поскольку здесь выход Q замкнут на сигнальный вход С2, то частота блока ФАПЧ 4 равна тактовой. Пусть на шину 6 не приходят входные сигналы. Тогда блок 3 не осуществляет автоподстройки фазы, но его выходная частота равна нулю и частота синхросигналов на шине 7 равна тактовой.

Такая настройка частоты осуществляется ввиду того, что изменения состояния СЧ 10 в блоках 3 и 4 осуществляются в одном направлении и одновременно, так как импульсы рассогласования передаются на входах СЧ в блоке 3.

Для этого в блоках ФАПЧ установлены управляющие выходы U1 и U2 и входы V1 и V2, с помощью которых связаны третий и четвертый блоки в синхронизаторе (рисунок 6.1).

Тем самым расстройка частоты выходных синхросигналов устраняется еще до начала воспроизведения информации.

Если на входную шину 6 поступают воспроизведенные ранее сигналы, то синхросигнал с выхода на шине 7 с шагом Δt приближается к состоянию синхронизма фазы. Оно достигается в худшем случае через $k/2$ выходных сигналов.

Дрожание фазы сигнала с выхода Q блоков 3 и 4 ФАПЧ суммируются. С помощью фильтра 5 указанное дрожание фазы уменьшается до значения, не превышающего погрешность динамической точности.

Полоса частоты синхронизации в устройстве выходит максимально широкой, ввиду того, что ФАПЧ блока 4 и настройка частоты блока 3 ФАПЧ осуществляется в самых благоприятных условиях, т.е. ($k = 1$ (формула 2) и $\delta fc = \frac{1}{n}$).

Ранее настроенному блоку 3 ФАПЧ остается лишь настроиться на фазу сигнала с входа данных.

- регистры хранения (РГ) -4,9
- шифратор - 5
- разрядный сумматор - 6
- сдвиговый блок числа - 7
- вычитатель - сумматор - 8
- блок инверторов - 10
- k-разрядная шина - 11
- входной зажим - 12
- элемент задержки – 13.

Для создания синхросигналов, которые позволяют различить двоичные ячейки в процессе приема информации, применяются устройства синхронизации фаз на основе многофазного генератора.

Такие устройства позволяют выдержать точность, высокую рабочую частоту нецифровых систем фазовой автоподстройки частоты (ФАПЧ), при этом поддерживая высокую стабильность и устойчивость систем ФАПЧ.

Основной целью устройства синхронизации фазы является увеличение полосы частот синхронизации, сокращение времени установления синхронности (синхронизма) и увеличение точности синхронизации.

Данная цель достигается включением в устройство дополнительных цифровых блоков, которые обеспечивают пилообразную характеристику сравнения фазы, и позволяет управлять инерционностью устройства.

ГИ 1 вырабатывает на каждом из 2^n выходов импульсы одинаковой частоты, которая равна номинальной тактовой частоте входных сигналов цифровых данных на зажиме 12. Импульсы на соседних выходах ГИ 1 различаются по фазе на один шаг дискретизации

$$\Delta\phi = \frac{2\pi}{2^n}.$$

Фазы импульсов на первом и последнем выходах ГИ 1 различаются также на шаг дискретизации, т.е. опорный период T_0 разделен на 2^n одинаковых интервалов

$$\Delta t = \frac{T_0}{2^n}.$$

Шифратор 5 преобразует в бинарный m -разрядный код номер того 2^n входа, на котором есть уровень логической «1» при наличии на соседнем младшем входе нулевого логического уровня.

Элемент задержки 13 компенсирует задержку сигналов от поступления сигнала на зажим 12 до получения результата на выходе вычитателя - сумматора 8.

ГИ 1 необходим для получения шкалы фазы, далее принимаемой за эталон, при измерении текущей фазы сигнала данных со входа, который поступает на зажим 12 и при оценке разности фаз выходного и входного сигналов описанного устройства.

Первый РГ 4 и шифратор 5 определяют и запоминают фазы поступившего с входа сигнала. Блок инверторов 10 и сумматор 6 образуют цифровой детектор фаз с пилообразной характеристикой.

Блок 7, вычитатель - сумматор 8 и второй РГ 9 производят цифровую фильтрацию рассогласования фаз в устройстве.

Данное устройство работает следующим образом.

ГИ 1 без перерыва вырабатывает 2^n последовательностей сдвинутых по фазе на шаг дискретизации импульсов.

Старшие n разрядов в РГ 9 числа определяют численный номер того выхода ГИ 1, импульсы с которого через мультиплексор 2 поступают на зажим 3 и служат в качестве выходных сигнальных устройств.

Управляющий бинарный код, который поступает по k шинам 11 на блок 7, определяет инерционность описываемого устройства.

Пусть для определенности $k = 2$ и управляющий двоичный код равен 01, т.е. блок 7 делит входное число на 2.

После поступлении следующего входного сигнала на зажим 12 РГ4 фиксирует в своих 2^n разрядах, бинарное число, которое соответствует состояниям выходов ГИ 1 в момент поступления сигнала со входа.

На выходах РГ4 появляется слово вида

$$x \dots x\bar{x}\bar{x} \dots \bar{x}\bar{x}x \dots x,$$

где x принимает либо значение 0, либо 1.

Шифратор 5 преобразует далее это двоичное слово в n-разрядный бинарный код, который отражает номер выхода ГИ 1, фронт импульса на котором совпадает с фронтом пришедшего с входа сигнала.

Таким образом, по шкале фазы, который формируется ГИ 1, фиксируется фаза вновь пришедшего с входа сигнала.

Текущая фаза выходного синхросигнала устройства синхронизации фаз на зажиме 3 хранится в РГ 9 в виде бинарного числа на его n старших разрядах.

Именно это двоичное число поступает по цепи ОС на вход n-разрядного блока инверторов 10.

Сумматор 6, на который первое двоичное число поступает в прямом коде с нулем в старшем разряде, второе число в инверсном коде с логической единицей в старшем разряде, и при этом на вход переноса подается логическая единица, выполняет операцию вычитания второго бинарного числа из первого.

На выходе сумматора образуется дополнительный разностный код. Этот дополнительный код является цифровым эквивалентом фазовой ошибки в фазовом детекторе с пилообразной характеристикой.

То есть на младших n выходах появляется код фазовой ошибки, а на старшем – знак этой разности.

Разностный код фаз с выхода сумматора 6 через блок 7 передается на вход второго операнда В вычитателя - сумматора 8, а значение знака разности со старшего разряда сумматора 6 - на вход управления вычитателя - сумматора 8.

Значение разности равной 1 соответствует режиму сложения, а 0 - режиму вычитания. На вход А первого операнда вычитателя - сумматора 8 подается число с выхода РГ 9, поэтому вычитатель - сумматор 8 в зависимости от знака разности фаз или прибавляет половину числа разности фаз к содержимому РГ 9, либо вычитает ее.

Поступивший через элемент задержки 13 входной сигнал записывает результат вычитания-суммирования в РГ 9.

То есть, вычитатель - сумматор 8 с РГ 9 выполняет функции цифрового интегратора, который корректирует управляющий код на адресном входе мультиплексора в направлении компенсации выявленной ранее фазовой ошибки.

Если в процессе суммирования возникает сигнал переноса, то он игнорируется. Непрерывному увеличению текущей фазы выходного синхросигнала соответствует в момент переполнения разрядной сетки вычитателя - сумматора 8 выбор младшего номера выхода ГИ 1 после выбора старшего номера.

Это является особенностью устройства, которая позволяет реализовать непосредственное фазовое регулирование без какого-либо воздействия на опорную частоту.

Аналогично устройство работает с поступлением каждого следующего сигнала с входа на зажим 12. В итоге в устройстве синхронизации фаз достигается установившийся режим синхронизма, для которого характерно совпадение фазы выходного синхросигнала на зажиме 3 с математическим ожиданием фазы входного сигнала.

Динамическая точность и быстродействие устройства синхронизации фаз зависят от управляющего кода на k-разрядной шине 11.

При управляющем коде 00 фаза выходного сигнала моментально устанавливается равной фазе сигнала со входа, но все фазовые искажения сигнала со входа переносятся и в выходной синхросигнал, тем самым динамическая точность оказывается недостаточно высокой.

При управляющем коде 11 процесс начального установления синхронизма является наиболее длительным, так как для корректировки фазы синхросигнала используется лишь часть разности фаз.

Но динамическая прочность в последнем случае будет наиболее высокой.

То есть, ввиду наличия управляющего входа устройство может быть приспособлено для работы в конкретных условиях без изменения структуры устройства.

Заключение

В бакалаврской работе осуществлен детализированный анализ работы и характеристик следующих способов и средств импульсной синхронизации с привлечением линий задержки:

- на многофазном опорном генераторе;
- опорных временных интервалов с жесткой привязкой их начала к фазе запускающих импульсных сигналов;
- генерирование импульсных последовательностей с импульсной синхронизацией фазы и цифровой перестройкой периода следования;
- синхронизация каналов воспроизведения данных;
- импульсная синхронизация фаз генерируемых импульсных последовательностей.

Рассмотренные устройства ПЭС имеют простую структуру и выполняются на цифровых ИМС и рекомендуются к использованию в информационно – измерительных и телекоммуникационных системах.

Список используемой литературы

1. Мелешко, Е.А. Быстродействующая импульсная электроника / Е.А. Мелешко. – М. Физматлит, 2007. – 320 с.
2. Kirichenko A., Sarwana S., Mukhanov O. et al. // IEEE Transactions on Applied Superconductivity. 2001 V.11(1). P.978.
3. Цитович, А.П. Ядерная электроника/ А.П.Цитович.- М.:Энергоатомиздат,1984.- 408с.
4. Rahkonen T.E., Kostamovaara J.T.//IEEE Journal of Solid-State Circuits. 1993. V.28(8). P. 887
5. Józef Kalisz // Metrologia. 2004. V. 41(1). P. 17.
6. Гурин Е.И. // ПТЭ. 1998. № 4. С.82-84.
7. Абрамов, Г.Н. Рециркуляционные преобразователи время - код и код - время / Г.Н. Абрамов. – Тольятти: Издательский дом «Довгань», 1995г. – 144 с.
8. Чулков, В.А. Интерполирующие устройства синхронизации и преобразователи информации/ В.А.Чулков.- М.: Физматлит, 2010. - 324 с.
9. Nutt R // The Review of Scientific Instruments. 1968. V.39(9). P. 1342.
10. Гитис, Э.И. Преобразователи информации для электронных цифровых вычислительных устройств/ Э.И. Гитис.- М.: Энергия,1970.- 400с.
11. Mota M., Christiansen J. A High-Resolution Time Interpolator Based on a Delay Locked Loop and an RC Delay Line. - IEEE Journal of Solid-State Circuits, Vol.34, № 10, October 1999, pp.1360-1366 (Fig.2, p.1361).
12. Л. Вихарев. Микросхемы для прецизионного измерения. <http://www.compitech.ru>.
13. Малевич, И.А., Чернявский, А. Ф. Двухшкальный преобразователь время-код на двух стабилизированных по частоте рециркуляционных генераторах\ Автометрия,1974.№3,с.67-74.

14. Бакиновский, К.Н., Грек, В.В., Малевич, И.А., Чернявский, А.Ф., Якушев, К.А. Время - импульсный преобразователь на аналого - динамическом запоминающем устройстве./ Приборы и техника эксперимента.1971.,№2.
15. Бакиновский, К.Н., Малевич, И.А., Чернявский, А.Ф., Якушев, К.А. Быстродействующий рециркуляционный генератор с малой относительной нестабильностью частоты. Приборы и техника эксперимента.1970.,№6.
16. Абрамов, Г.Н. Рециркуляционные генераторы с кодоуправляемым периодом колебаний/ Г.Н.Абрамов, Ю.Г.Абрамов, И.А. Беличенко // Сборник статей X Международной научной конференции (28 сентября 2012 г.) «Синергетика природных, технических и социально-экономических систем» - Тольятти: Изд-во ПВГУС,2012. С.121-128.
17. Чу, Фергюсон. Генераторы импульсов с разрешением 20 пс // Электроника.- 1977.-№23. - с.25-34.
18. Borgosz J. @Follow Me@ - Digital Measurement Method. - Measurement Science Review, Vol.6, section 3, №2, 2006. pp. 30-33.
19. Miljevic S. Use an off-the-shelf signal source as a jitter/wander generator. - EDN, February 3, 2005. pp. 83, 84.
20. Syed A, Alarcon E. Digital pulse width modulator architectures // Proceedings of 2004 IEEE 35th Annual Power Electronics Specialists Conference, Aachen, Germany, 2004. PESC 04, Vol.6, p.p.4689 - 4695.
21. Tang R., Kim Y.B. A Novel 8-Phase PLL Design for PWM Scheme in High Speed I / O Circuits. - IEEE International SOC Conference, Austin, Texas, 2006. pp.119 - 122.