



## АННОТАЦИЯ

Объем 49 с., 21 рис., 3 табл., 21 источников.

В бакалаврской работе проведен обзор и классификация основных разновидностей синхронных суммирующих счетчиков импульсов, таких как последовательные, параллельные, реверсивные, интегральные параллельные.

Рассмотрены возможности построения на основе параллельных суммирующих счетчиков импульсов генераторов прямоугольных импульсов и формирователей временных интервалов с кодоуправляемой длительностью и паузой.

На основе отечественных ИМС серии К500 разработаны быстродействующие суммирующие синхронные (параллельные) счетчики импульсов с частотой счета 150МГц и 500МГц. Вместе с тем разработан и программируемый делитель частоты с кодовым управлением коэффициента деления на основе быстродействующие суммирующие параллельных счетчиков импульсов.

## Содержание

Введение.....	4
1. Обзор и классификация основных разновидностей суммирующих счётчиков импульсов.....	5
1.1. Суммирующие последовательные счётчик импульсов.....	7
1.2. Параллельный суммирующий счётчик.....	9
1.3. Реверсивный последовательный счётчик.....	10
2. Интегральные параллельные (синхронные) суммирующие счетчики импульсов.....	15
3. Технические средства на основе синхронных суммирующих счетчиков импульсов.....	26
3.1. Управляемый делитель частоты.....	26
3.2. Формирователь временного интервала.....	28
3.3. Управляемый генератор прямоугольных импульсов.....	29
4. Условия достоверной работы параллельных (синхронных) суммирующих счетчики импульсов.....	32
5. Разработка быстродействующего суммирующего синхронного (параллельного) счетчика импульсов.....	35
Заключение.....	47
Список используемой литературы.....	48

## Введение

С поступательным развитием электроники появился класс электронной цифровой техники, которая используется для создания, обработки и последующей передачи электрических импульсных сигналов одиночных и периодических, а также перепадов напряжения и тока и управления и запоминания цифровой информацией.

Цифровые устройства имеют преобладающее значение в различных областях как науки, так и техники. Это объясняется значительно меньшим энергопотреблением от источника питания, а также повышенной точностью функционирования, меньшей зависимостью от влияния изменений внешней окружающей среды и большим значением помехоустойчивости.

Цифровая техника имеет в своем составе триггеры, регистры, счётчики, комбинационные устройства, программируемые логические интегральные микросхемы (ИМС) и др.

Цифровые суммирующие счетчик импульсов (ССЧ) - это цифровые устройства, осуществляющие подсчет подаваемых на их вход электрических импульсных сигналов. При этом цифровой результат подсчета формируется ССЧ в некотором наперед заданном цифровом коде и может сохраняться необходимое время. Технически ССЧ выполняются на триггерах, а число импульсов, которое возможно им фиксировать устанавливается как

$$N = 2^n - 1,$$

где  $n$  - число триггеров, а минус единица означает, что за начало отсчета берется нуль. Счетчики электрических импульсов делятся на суммирующие, то есть когда подсчет производится на увеличение и вычитающие, где подсчет осуществляется с уменьшением его начального состояния.

В случае если счетчик импульсов имеет возможность в ходе работы переключаться с режима суммирования на режим вычитание и обратно, то он называется реверсивным.

## 1. Обзор и классификация основных разновидностей суммирующих счётчиков импульсов

Суммирующие счетчики импульсов (ССЧ) принято называть цифровые устройства для счёта количества импульсов, поступающих на их вход, а также запоминания и хранения результата подсчёта и последующей передачи данного результата.

Главным параметром ССЧ служит модуль счёта или его информационная емкость  $K_c$ , что соответствует количеству его устойчивых состояний.

По окончании поступления числа импульсов равного  $K_c$  ССЧ автономно устанавливается в исходное состояние.

Для двоичных ССЧ

$$K_c = 2^m,$$

где  $m$  – количество его разрядов.

Важным параметром ССЧ служит и его максимальная (наибольшая) частота счёта  $f_{max}$ , а также время установления  $t_{уст}$ , которые описывают его быстродействие.

Время установления  $T_{уст}$  – это время переключения ССЧ в новое состояние.

Обычно

$$T_{уст} = m \times t_{тр},$$

где  $m$  – количество разрядов ССЧ,

а

$t_{тр}$  – время переключения одного триггера, входящего в состав ССЧ.

При этом  $f_{max}$  – наибольшее значение частоты следования входных импульсов, при которой обеспечивается устойчивая работа ССЧ.

По характеру счёта счетчики импульсов подразделяются на:

- Суммирующие;  $f$
- Вычитающие;
- Реверсивные.

В суммирующем счётчике импульсов (ССЧ) поступление каждого из входных импульсов увеличивает результат подсчёта на единицу, а в вычитающем, наоборот уменьшает на ту же единицу.

В реверсивных счётчиках импульсов осуществляется посредством сигналов управления режимы как суммирования, так и вычитания.

По виду организации передачи сигналов между каскадами, ССЧ делятся на:

- последовательные;
- параллельные;
- последовательно-параллельные.

В последовательных ССЧ входной импульс всегда поступает на вход первого разряда, в то время как на вход последующего разряда подаётся выходной импульс предыдущего ему разряда.

В параллельном ССЧ с поступлением текущего счётного импульсного сигнала переключение всех его триггеров, при переходе в новое состояние, осуществляется одновременно.

Последовательно - параллельный способ построения ССЧ включает в себя последовательный и параллельный варианты.

По очередности изменения логического состояния ССЧ подразделяются на:

- с естественным характером подсчёта;
- с произвольным характером подсчёта.

А по модулю подсчёта на:

- двоичные;
- недвоичные.

При этом модуль подсчёта двоичного ССЧ

$$K_c = 2,$$

а модуль подсчёта недвоичного С

$$K_c = 2m,$$

где  $m$  – количество разрядов ССЧ.

## 1.1. Суммирующие последовательные счётчики импульсов

Каждый из триггеров данной разновидности ССЧ работают по заднему фронту счетного импульсного сигнала. При этом вход старшего разряда ССЧ соединен с прямым выходом (Q) младшего предыдущего разряда (рисунок 1.1).

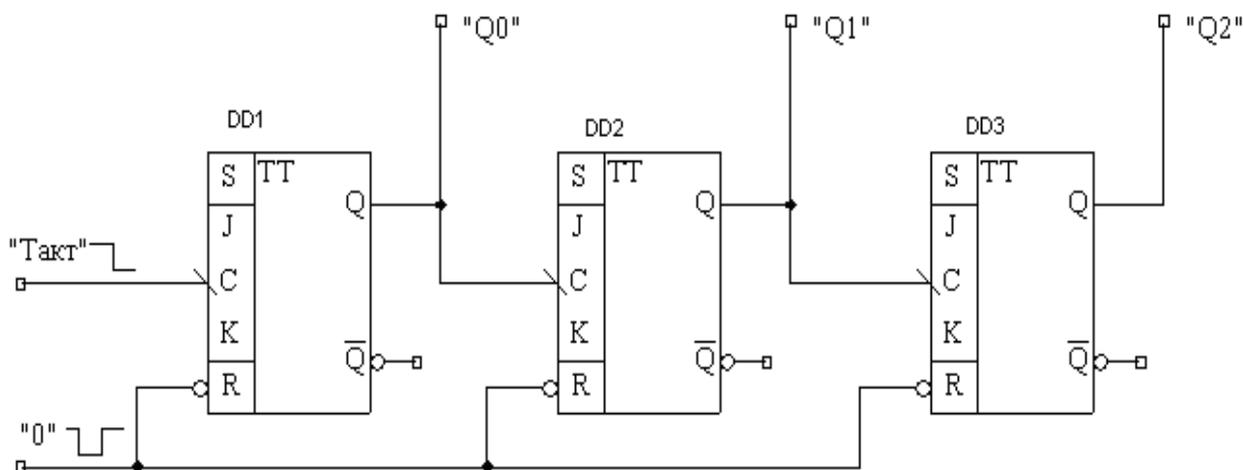


Рисунок 1.1 - Суммирующий последовательный трех разрядный счётчик импульсов.

Временная диаграмма работы суммирующего последовательного трех разрядного счётчика импульсов приводится на рисунке 1.2.

В исходный момент времени состояния всех триггеров ССЧ соответствуют состоянию логический ноль, то есть на их прямых выходах присутствует логический ноль.

Что обеспечивается посредством кратковременного логического нуля, подаваемого на входы асинхронной установки триггеров в логический ноль.

При этом общее состояние последовательного ССЧ характеризуется двоичным числом равным 000.

В процессе подсчёта, на входах асинхронной установки триггеров в состояние логическая единица, поддерживается логическая единица.

При поступлении заднего фронта первого импульса нулевой разряд переходит в противоположное состояние, то есть логическая единица.

А на входе первого разряда формируется передний фронт счетного импульса. Обеспечивая логическое состояние последовательного ССЧ равное 001.

По приходу на вход последовательного СЧИ заднего фронта второго импульса нулевой разряд переходит в противоположное состояние, то есть логический ноль, на входе первого разряда формируется задний фронт счетного импульса, который и переключает первый разряд в состояние логическая единица.

При этом общее состояние последовательного СЧИ соответствует состоянию 010.

Последующий задний фронт на входе нулевого разряда установит его в состояние логическая единица, то есть 011 и т.д.

Таким образом, последовательный ССЧ осуществляет накапливание количества входных импульсов. При поступлении восьми импульсов на его вход последовательный ССЧ возвращается в исходное состояние (000), так как коэффициент счета данного счетчика равен восьми.

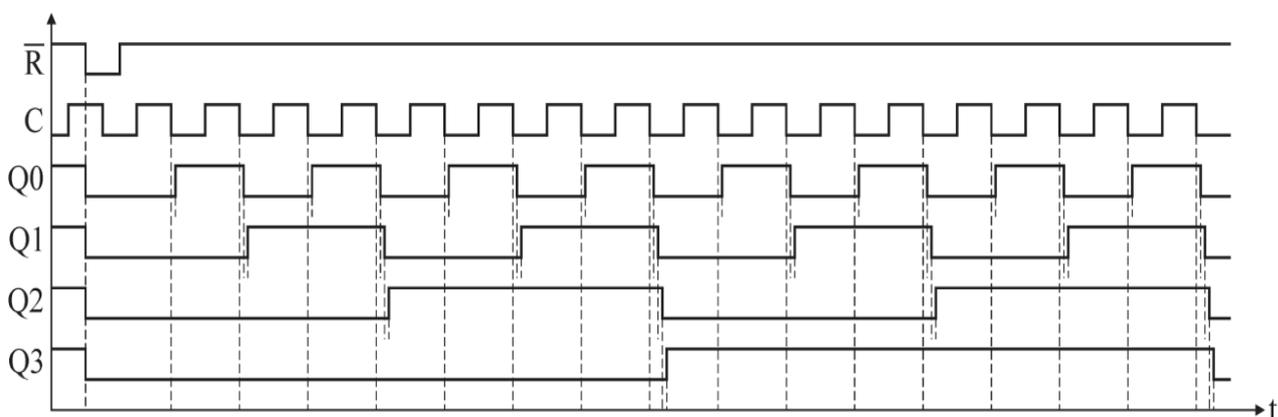


Рисунок 1.2 - Временная диаграмма последовательного суммирующего счетчика

## 1.2. Параллельный суммирующий счётчик импульсов

Работа действия данного ССЧ состоит в том, что входной сигнал, в виде счетных импульсов, поступает одновременно на все разряды данного параллельного ССЧ. А его установка в состояние логичекий ноль или логическая единица управляется схемой управления.

Функциональная схема параллельного ССЧ приводится на рисунке 1.3.

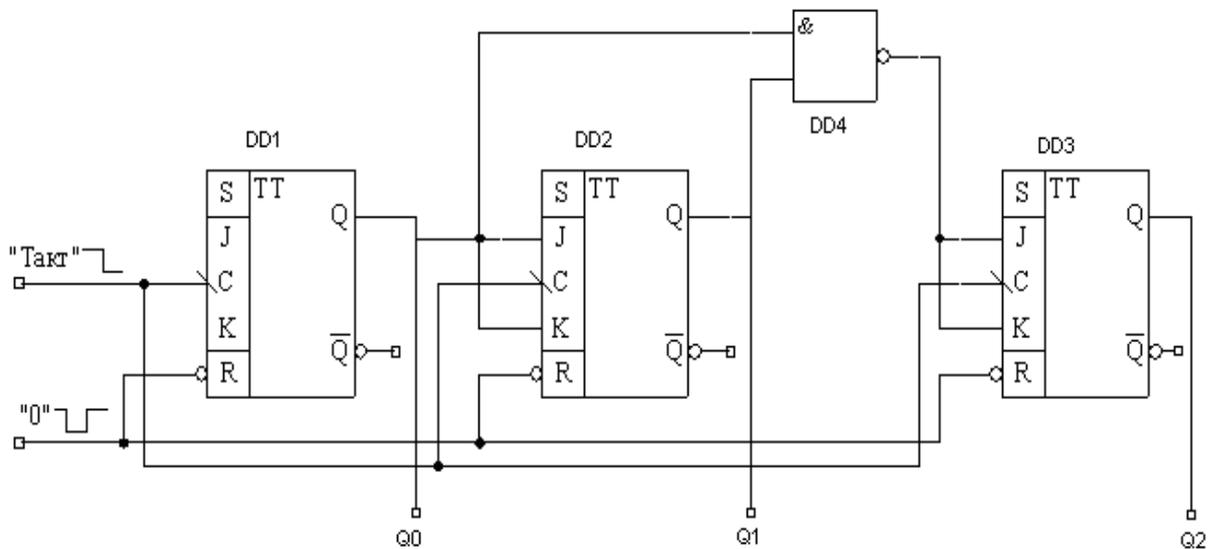


Рисунок 1.3 - Параллельный суммирующий счетчик импульсов

Здесь разряды счетчика образуются за счет триггеров DD1, DD2, DD3, а схемой управления служит элемент DD4.

Достоинством приведенного параллельного ССЧ является небольшое время установки, которое не зависит от количества его разрядов.

Однако к недостаткам относится техническая сложность схемы, особенно при повышении разрядности параллельного ССЧ.

### 1.3. Реверсивный последовательный счётчик импульсов

Для технического воплощения реверсивного счетчика (СЧ) следует совместить функции суммирующего и функции вычитающего СЧ.

Функциональная схема реверсивного СЧ рассматривается на рисунке 1. 4.

С целью управления режимом счета используются сигналы «сумма» и «разность».

В режиме суммирования сигналу «сумма» соответствует логическая единица, «0»-кратковременный логический ноль; «разность» соответствует логическому нулю, «1» - кратковременный логический ноль.

Элементы, выполненные на ИМС DD4.1 и DD4.3 осуществляют поступление на тактовые входы триггеров на элементах DD1.2, DD2.1 посредством ИМС DD5.1 и DD5.2 импульсов с прямых выходов соответственно триггеров DD1.1, DD1.2.

В это время ИМС DD4.2 и DD4.4 закрыты и на их выходах существует логический ноль и следовательно, воздействие инверсных выходов не отражается на состояниях счетных входах триггеров на ИМС DD1.2, DD2.1.

В этом случае осуществляется логическая операция суммирования.

Для воплощения логической операции вычитания на вход «сумма» должен подаваться логический ноль, а на вход «разность» логическая единица.

В данном случае элементы ИМС DD4.2, DD4.4 обеспечивают поступление на входы элементов ИМС DD5.1, DD5.2, а соответственно и на счетные входы триггеров на ИМС DD1.2, DD2.1 сигналов с инверсных выходов триггеров на ИМС DD1.1, DD1.2.

При этом элементы ИМС DD4.1, DD4.3 закрыты и сигналы с прямых выходов триггеров DD1.1, DD1.2 не реагируют на счетные входы триггеров ИМС DD1.2, DD2.1.

Вот так технически воплощается логическая операция вычитания.



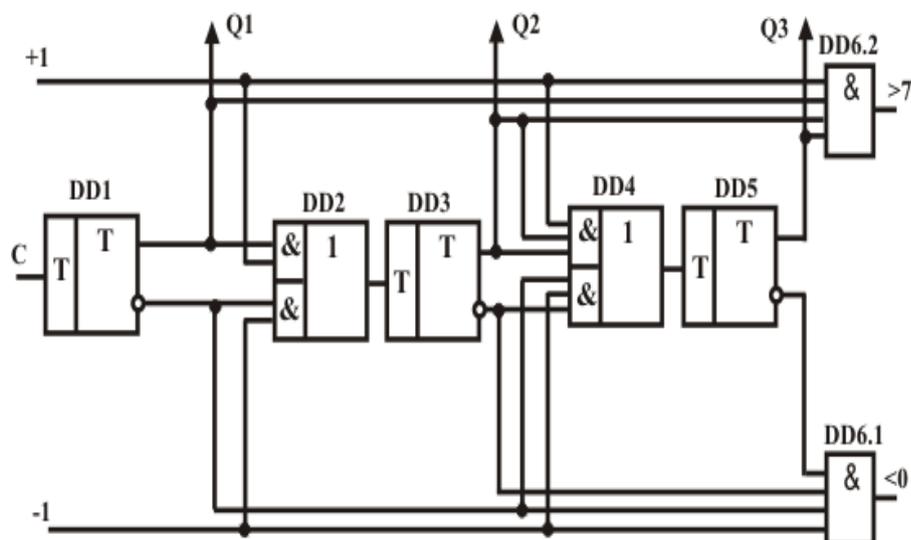


Рисунок 1.5 - Реверсивный счетчик импульсных сигналов

Элементы на ИМС DD2 и DD4 выполнены на двух схемах И и одной схемы ИЛИ, размещенных в одном корпусе ИМС.

Вначале входные счетные сигналы на данном элементе логически перемножаются, а затем результат подвергается логическому суммированию.

Количество входов схемы И - ИЛИ равно номеру разряда, то есть если это третий разряд, то имеются три входа, если четвертый – то четыре и так далее.

То есть схема И - ИЛИ выполняет функцию двухпозиционного переключателя и управляется прямым или инверсным выходами предыдущего триггера.

При логической единице на прямом выходе реверсивного СЧ считываются импульсы с клеммы «+1», а, при логической единице на инверсном выходе - с клеммы «-1». При этом схемы И на ИМС DD6.1 и DD6.2 вырабатывают импульсные сигналы переноса.

На выходе  $> 7$  сигнал переноса вырабатывается при значении кода равном 111 (то есть десятичное число 7) и присутствии счетного импульса на клемме «+1», а на выходе  $< 0$  сигнал переноса создается при значении кода

равного 000 и наличии счетного импульса на клемме «-1».

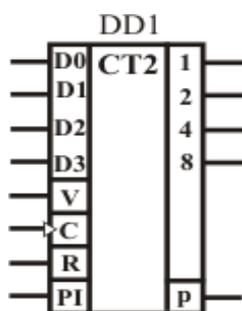


Рисунок 1.6 - Четырехразрядный двоичный счетчик

На рисунке 1.6 представлен типовой четырехразрядный ССЧ с предварительной установкой исходной информации, выполненный в интегральном микросхемном исполнении. Здесь символ CT2 означает, что данный ССЧ имеет двоичную систему счисления. В случае если он десятичный, то он имеет символ -- CT10, а если двоично-десятичный, то CT2/10.

Входы D0 - D3 именуется информационными и используются для записи в ССЧ исходного двоичного числа, которое отображается на его выходах и уже от него осуществляется начало подсчета.

То есть данные входы являются входами предварительной установки или, как их еще называют, входами предустановки.

Вход V служит для осуществления записи кода по входам D0 - D3, то есть разрешают предустановку. В ряде случаев данный вход обозначается другими буквами.

Предварительная запись в ССЧ осуществляется при наличии сигнала разрешения записи в момент времени прихода импульсного сигнала на вход C.

Вход C является тактовым, на который подаются счетные импульсы. При этом треугольник в его графическом обозначении говорит о том, что ССЧ работает по заднему фронту счетного импульса.

В случае если треугольник повернут в обратную сторону, то есть острием к букве С, означает, что ССЧ работает по переднему фронту счетного импульса.

Вход R предназначен для установки ССЧ в ноль, то есть при наличии на данном входе импульсного сигнала, на всех выходах ССЧ устанавливаются состояние логический ноль.

Вход, обозначенный как PI является входом переноса, а выход p -- выходом переноса.

На данном выходе создается сигнал в случае переполнении ССЧ, при котором на всех его выходах устанавливаются логические единицы.

Данный сигнал может быть подан на вход переноса последующего ССЧ. И тогда при переполнении первого ССЧ уже второй будет переключаться в следующее состояние.

Выходы 1, 2, 4, 8 служат информационными выходами ССЧ, на которых образуется двоичный код, равный количеству поданных на вход ССЧ импульсов.

Если данные выходы имеют кружочки, а это наиболее частый случай, означает, что они инверсные, то есть вместо логической единицы формируется логический ноль и, соответственно, наоборот.

## **2. Интегральные параллельные (синхронные) суммирующие счетчики импульсов**

В данной бакалаврской работе рассматриваются синхронные суммирующие счетчики импульсов (ССЧ), их работа, параметры, типовые схемы включения, методы выполнения на их основе некоторых часто востребованных логических операций.

Синхронные (или параллельные) суммирующие ССЧ являются самой быстродействующей разновидностью счетчиков импульсов.

Увеличение в них разрядности при выполнении определенных требований не приводит к увеличению результирующего времени задержки срабатывания.

Допускается предполагать, что синхронные ССЧ работают как идеальные счетчики, все разряды которых функционируют одновременно, то есть параллельно, а задержка его срабатывания соответствует задержке срабатывания одного триггера, на которых они технически реализуются.

Такое быстродействие достигается значительным усложнением структуры самого ССЧ.

Недостатком синхронных ССЧ является сложность управления работой в сравнении с асинхронными ССЧ или с синхронными ССЧ, но с асинхронным переносом.

Поэтому синхронные ССЧ следует использовать в тех случаях, когда необходимо их высокое быстродействие или высокоскоростное переключение разрядов.

В противном случае усложнение цепи их управления может быть технически и экономически не оправдано.

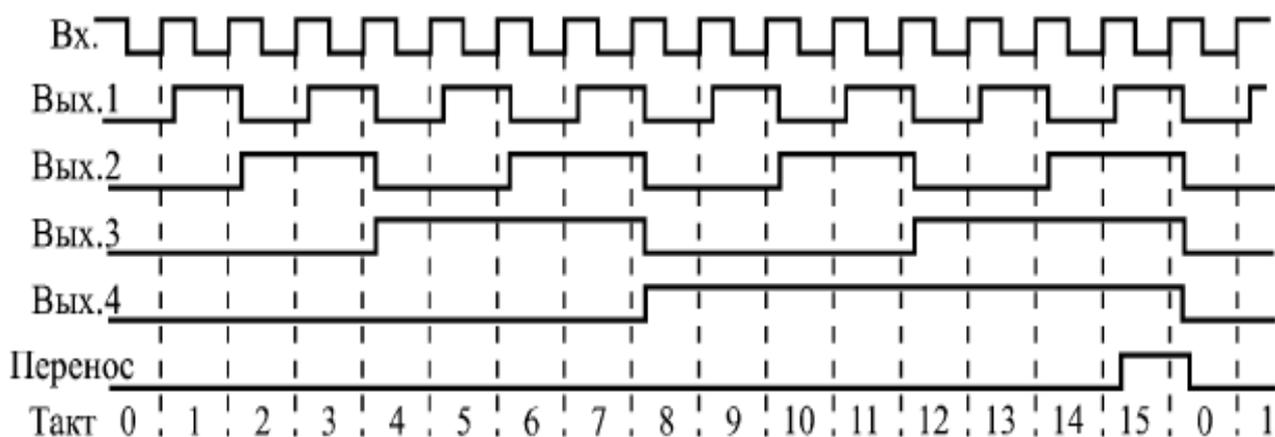


Рисунок 2.1 - Временная диаграмма работы синхронных двоичных ССЧ

Временная диаграмма (ВД) работы синхронного ССЧ приведена на рисунке 2.1.

Она отличается от ВД синхронного ССЧ, но с асинхронным переносом способом формирования сигнала переноса, который и используется при каскадном соединении ССЧ импульсов с целью увеличения их разрядности.

Сигнал переноса CR (по английски «Carry») при этом вырабатывается когда все выходы ССЧ находятся в состояниях логическая единица (в случае прямого счета) или ноль (при обратном или инверсном счете).

При этом входной тактовый сигнал в формировании сигнала CR не принимает участие.

При совместном включении, с целью увеличения разрядности, например, двух ССЧ, тактовые входы С обоих счетчиков объединяются, а сигнал переноса первого ССЧ заводится на вход разрешения счета (ЕСТ) второго ССЧ.

В результате второй ССЧ подсчитывает только каждый шестнадцатый входной тактовый импульс, в виду того, что он работает только при переносе

от первого ССЧ.

Выходные сигналы второго ССЧ переключаются по переднему фронту общего тактового сигнала одновременно с выходными сигналами первого ССЧ. Условием достоверности работы в данном случае является следующее: за период тактового сигнала должен успевать формироваться сигнал переноса CR первого ССЧ.

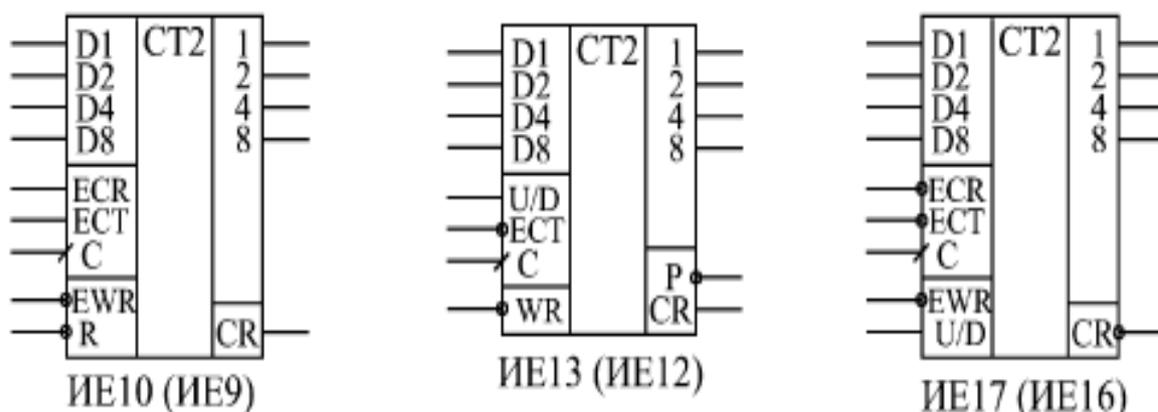


Рисунок 2.2 – ИМС синхронных ССЧ импульсов

В гостированные серии интегральных микросхем (ИМС) входит ряд синхронных или параллельных ССЧ, рассмотренных на рисунке 2.2.

Отличаются они по основанию счета на:

- двоичные;
- двоично-десятичные;
- реверсивные, не реверсивные;
- наличием или отсутствием установки в состояние логический ноль.

Все синхронные ССЧ ведут подсчет входных импульсов по переднему фронту счетного сигнала и обладают выходом переноса CR и входами расширения для целей их последовательного соединения или каскадирования.

В тоже время все синхронные ССЧ обладают параллельной записью необходимой цифровой информации.

Таблица 1.1. Таблица состояний ИМС синхронных ССЧ ИЕ9 и ИЕ10

Входы					Режим
-R	-EWR	ECR	ECT	C	
0	X	X	X	X	Сброс
1	0	X	X	0→1	Параллельная запись
1	1	0	X	X	Хранение
1	1	X	0	X	Хранение
1	1	1	1	0→1	Прямой счет

Синхронный ССЧ ИЕ9 является двоично-десятичным, а ИЕ10 — двоичным.

Обе ИМС обладают входом асинхронной установки в ноль – R, при наличии на котором логического нуля все ССЧ устанавливаются в ноль.

Прямой счет осуществляется по переднему фронту импульсного сигнала, поступившего на тактовом входе (ТВ-вход)С.

Параллельная запись производится параллельно передним фронтом импульсного сигнала поступившего на ТВ-вход С при наличии логического нуля на входе разрешения записи – EWR.

Сигналы ECR, сигнал разрешения переноса и ECT, сигнала разрешения счета применяются только в режиме каскадирования ИМС. Отличие данных сигналов состоит в том, что сигнал - ECR не только запрещает счет, но и запрещает формирование импульса переноса CR, а подсчет входных импульсов осуществляется при наличии логических единиц на входах ECT и ECT и на входе – EWR.

Импульс переноса CR формируется при наибольшем значении кода на выходах ССЧ например, 15 в ИМС ИЕ10 и 9 в ИМС ИЕ9 и при наличии логической единицы ECR.

Таблица состояний ИМС ССЧ ИЕ 9 и ИЕ10 приводится в таблице 1. 1.

Синхронные ССЧ на ИМС ИЕ12 и ИЕ13 в отличаются от ИЕ9 и ИЕ10 являются реверсивными и обладают возможностями прямого и обратного счета.

Счет они осуществляют также по переднему фронту счетного сигнала С при логическом нуле на входе разрешения счета ECT.

Прямой счет производится при наличии логического нуля на входе управления U/D, а обратный, только при логической единице на входе U/D.

Переключение уровней на выше приведенных входах возможен только при логической единице ТВ-входе С.

Установка в ноль ССЧ на ИМС ИЕ12 и ИЕ13 отсутствует, но при этом есть возможность асинхронной параллельной записи информации по нулевому логическому уровню сигнала параллельной записи –WR.

Импульсный сигнал, на выходе параллельного переноса CR, формируется только при достижении максимального значения кода, а при прямом счете при достижении нулевого значения кода.

Присутствует также и выход последовательного переноса P, отрицательный импульсный сигнал на котором формируется только при положительном импульсе CR и повторяет отрицательный импульс на ТВ-входе С.

Режимы функционирования ССЧ на ИМС ИЕ12 и ИЕ13 сведены в таблицу 1. 2.

Таблица 1.2. Режимы функционирования ССЧ на ИМС ИЕ12 и ИЕ13

Входы				Режим
-WR	U/D	-ECR	C	
0	X	X	X	Параллельная запись
1	X	1	X	Хранение
1	0	0	0→1	Прямой СЧет
1	1	0	0→1	Обратный СЧет

ИМС двоично - десятичного ССЧ ИЕ16 и двоичного ССЧ ИЕ17 обладают синхронной параллельной записью по переднему фронту тактового сигнала С, а также обеспечивают прямой и обратный счета.

Работают ССЧ на ИМС ИЕ16 и ИЕ17 по переднему фронту тактового сигнала (ТТ - сигнала) С.

При наличии логического нуля на входе разрешения записи -EWR по переднему фронту ТТ- сигнала С в ССЧ заносится информация со входов информационных данных D1, D2, D4, D8. А при наличии логической единицы на входе – EWR по переднему фронту ТТ- сигнала С осуществляется счет.

Направление счета устанавливается посредством входа U/D, так при наличии логической единицы на данном входе счет будет прямым, а при логическом нуле — обратный.

Также присутствуют и два входа расширения, первый вход разрешающий счет – ECT и второй вход, разрешающий перенос – ECR.

Отличие данных входов состоит в том, что сигнал – ECR не только запрещает счет, как и сигнал – ECT, но еще может осуществлять запрет формирования импульса переноса.

Переключение логических уровней на входах U/D, – ECT и – ECR необходимо осуществлять строго при единичном уровне на ТВ - входе С.

Отрицательный импульсный сигнал переноса – CR формируется в

случае достижения на выходах ССЧ максимального значения кода при прямом счете или нулевого значения кода в случае обратного кода.

Режимы работы ССЧ и ИМС ИЕ16 и ИЕ17 отображает таблица 1. 3.

Таблица 3. Режимы работы счетчиков ИЕ16 и ИЕ17

Входы					Режим
-EWR	U/D	-ECT	-ECR	C	
0	X	X	X	0→1	Параллельная запись
1	1	0	0	0→1	Прямой СЧет
1	0	0	0	0→1	Обратный СЧет
1	X	1	X	X	Хранение
1	X	X	1	X	Хранение

Техническое применение синхронных, второе их наименование -- параллельные, ССЧ достаточно разнообразен и объемен.

Например, они без проблем заменяют асинхронные последовательные ССЧ и синхронные счетчики с асинхронным последовательным переносом.

По быстрдействию работы они обладают большим преимуществом в сопоставлении с другими ССЧ.

Выходной код у них формируется одновременно не зависимо от числа разрядов и не требует дополнительных выходных регистров. Которые востребованы в асинхронных ССЧ и синхронных ССЧ с асинхронным переносом.

Приведем ряд схем, отображающие характерные особенности синхронных счетчиков.

Вначале рассмотрим возможности каскадирования ССЧ на ИМС.

В отличие от других разновидностей счетчиков, синхронные ССЧ можно каскадировать по разному. Причем способ их объединения различаются в случае различного количества ИМС.

В качестве примера посмотрим каскадирование ИМС синхронного ССЧ на ИМС ИЕ17.

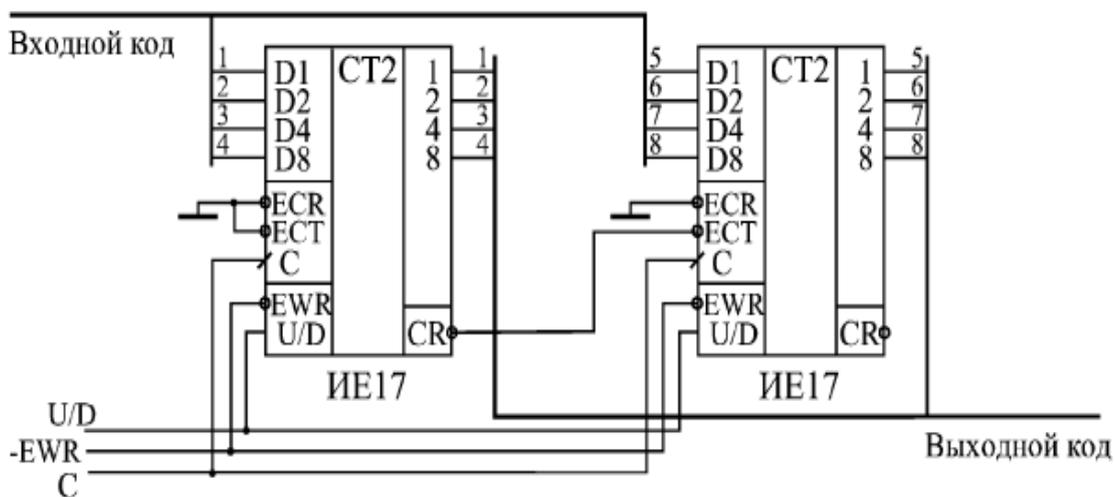


Рисунок 2.3 – Каскадирование двух счетчиков на ИМС ИЕ17

При объединении (каскадировании) двух счетчиков (рисунок 2.3) трудности не возникают, так как выход переноса – CR младшего синхронного ССЧ подключается к входу разрешения счета старшего ССЧ – ECT.

На входные выходы – ECR обоих синхронных счетчиков импульсов подается нулевой уровень.

Условием надежного функционирования данного ССЧ служит то, что период следования тактового сигнала на ТВ-входе С должен быть больше времени задержки формирования импульса переноса CR.

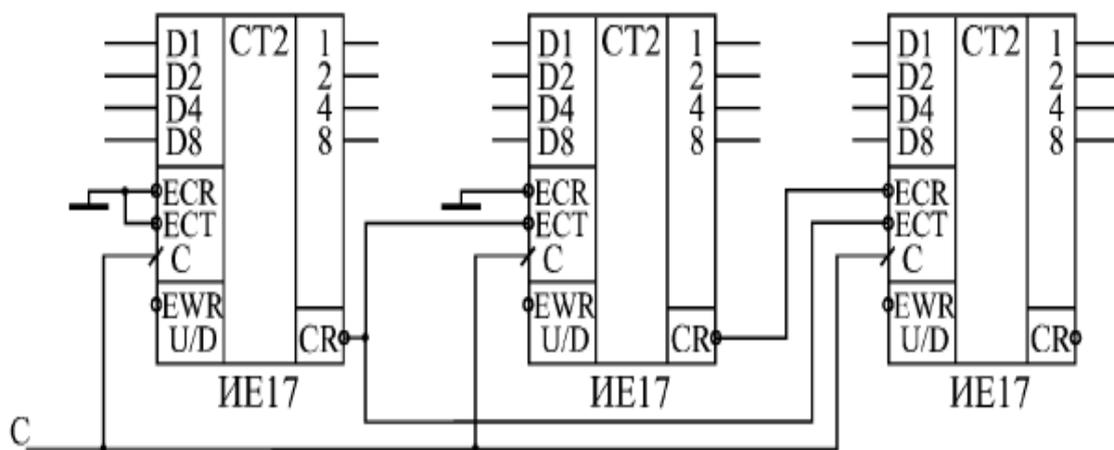


Рисунок 2.4 – Каскадирование трех счетчиков на ИМС ИЕ17

При объединении сразу трех счетчиков импульсов схема ССЧ усложняется, что отображается на рисунке 2.4.

Импульсный сигнал переноса первого ССЧ поступает на входы - ECT второго и третьего ССЧ.

Сигнал переноса второго ССЧ поступает на вход -ECR третьего ССЧ импульсов. В итоге третий ССЧ считает только тогда, когда имеется импульс переноса на первом и втором ССЧ импульсов.

На рисунке 2.4 условно не приводится соединение входных и выходных сигналов, не принимающих участие в каскадировании.

Условием надежной работы схемы синхронного ССЧ служит то, что период следования ТТ - сигнала С должен быть больше или равен времени задержки формирования импульса переноса CR.

При каскадировании четырех и более счетчиков импульсов возникают определенные трудности, так как у старших СЧ отсутствуют свободные управляющие входы для объединения импульсных сигналов переноса более младших разрядов ССЧ импульсов. Поэтому в этом случае задействуется входной сигнал – ECR, запрещающий выходной сигнал переноса -CR (рисунок 2.5).

На четвертый и последующие ССЧ заводятся сигналы переноса только

с первого и с предыдущего ССЧ.

На приведенном ниже рисунке 2.5 условно не показаны соединения входов и выходов, не задействованных в каскадировании.

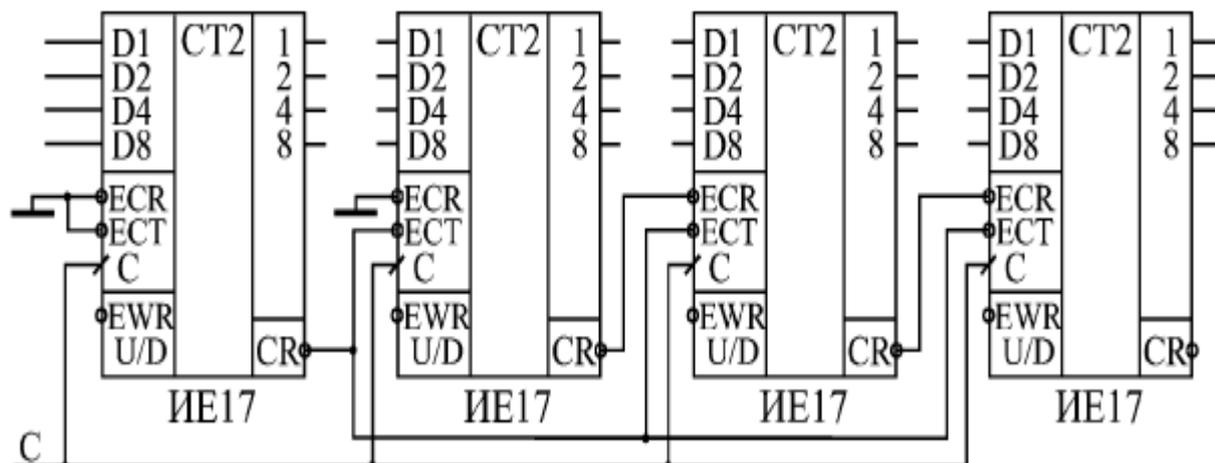


Рисунок 2.5 – Каскадирование четырех счетчиков на ИМС IE17

Здесь следует отметить, что происходит накопление времени задержки импульсов переноса.

Максимальной временная задержка будет у импульса переноса второго ССЧ импульсов.

Условие достоверного функционирования синхронного ССЧ является то, что период следования  $T_T$  - сигнала С должен быть больше, чем максимальная общая временная задержка импульсов переноса до входа последнего ССЧ всего синхронного ССЧ импульсов.

При объединении четырех ИМС ССЧ в эту максимальную временную задержку входят временная задержка импульса переноса – CR ИМС относительно переднего фронта сигнала С и временная задержка импульсного сигнала переноса – CR относительно сигнала – ECR.

При каскадировании пяти ИМС ССЧ добавляется еще одна временная

задержка импульса переноса – CR относительно сигнала – ECR и так далее.

В связи с этим с возрастанием числа объединяемых ИМС СЧ импульсов будет уменьшаться тактовая частота.

При наличии потребности каскадировании большого числа ИМС СЧ импульсов избежать накопления суммарного времени задержки переноса, можно путем включения на входах старших СЧ импульсов -ЕСТ логические схемы ИЛИ с нужным количеством входов.

Схемы ИЛИ должны объединять все импульсы переноса с более младших ССЧ импульсов, то есть на их выходах должен быть логические нули только в случае, когда сигналы - CR всех предыдущих СЧ импульсов имеют логические нули.

При этом, в результирующую временную задержку переноса, которая не должна быть больше периода следования тактового сигнала С, войдут временные задержки всех схем ИЛИ.

При любом раскладе, при соблюдении условия надежной работы СЧ импульсов, схема функционирует как идеальный синхронный ССЧ, то есть все разряды многокаскадного синхронного ССЧ импульсов будут переключаться в одно время.

### **3. Технические средства на основе синхронных суммирующих счетчиков импульсов**

#### **3.1. Управляемый делитель частоты**

Рассмотрим ряд схемных решений технических средств на основе синхронных ИМС СЧ импульсов.

Управляемый делитель частоты с коэффициентом пересчета, устанавливаемый входным кодом, технически воплощается на синхронных ССЧ, в виде, приведенным на рисунке 3.1.

Сигнал переноса - CR старшего СЧ подается на вход разрешения записи – EWR.

ИМС счетчики работают в режиме обратного счета, то есть на входе U/D присутствует импульсный сигнал логического нуля.

При достижении всеми ИМС СЧ импульсов нулевого значения кода кода формируется импульсный сигнал переноса -CR, переводящий ИМС СЧ импульсов в режим параллельной записи входного управляющего кода.

Последующим положительным передним фронтом тактового сигнала С входной код записывается в ИМС СЧ импульсов, что ведет к началу нового цикла счета от значения входного кода до нуля.

Коэффициент пересчета делителя частоты равен  $(N+1)$ , где  $N$  — входной код, который принимает значения от 1 до  $(2^n-1)$ , где  $n$  — число разрядов входного кода.

Условием достоверности функционирования делителя частоты (ДЧ) служит, то, что период следования тактового импульсного сигнала должен быть больше полного времени задержки переноса, а длительность выходного сигнала ДЧ равна периоду тактовой частоты.

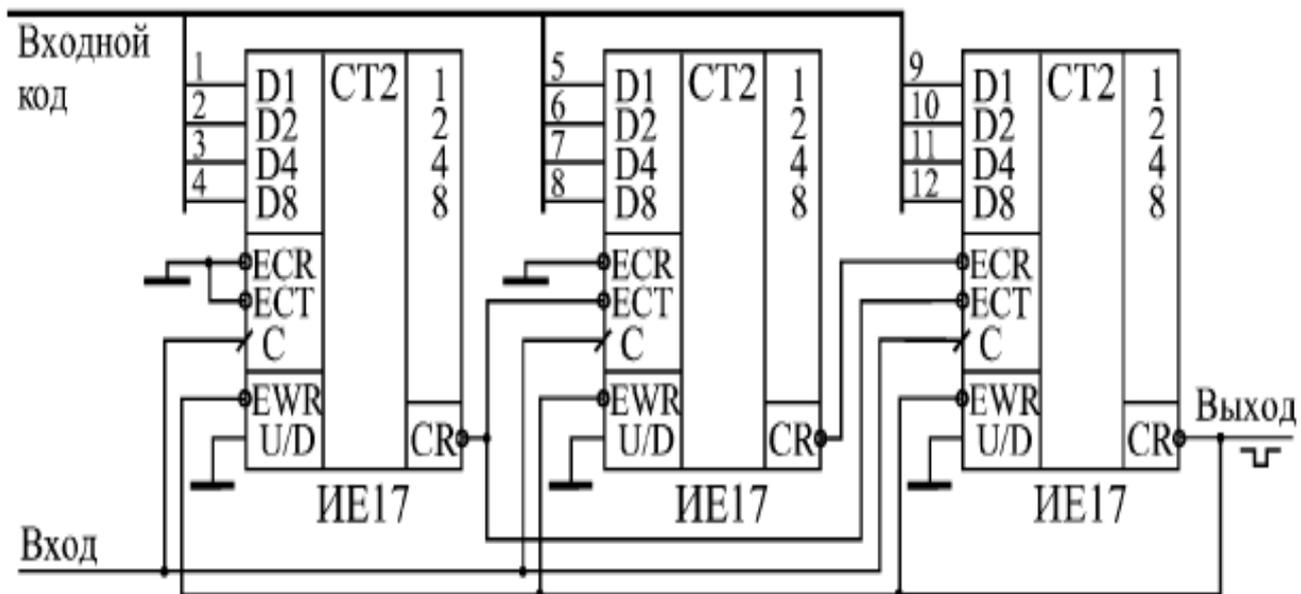


Рисунок 3.1 - Управляемый делитель частоты на ИМС СЧ импульсов  
ИЕ17

### 3.2. Формирователь временного интервала

На рисунке 3.2 приводится функциональная схема формирователя временного интервала (ВИ) с наперед заданной длительностью и показывает использование выходного сигнала переноса синхронных ИМС СЧ импульсов при потребности создания однократного цикла функционирования.

Работа формирователя стартует с приходом короткого импульса «Старт», переключающий управляющий триггер в состояние логической единицы.

Положительный сигнал с выхода управляющего триггера переводит восьмиразрядный синхронный ССЧ импульсов из режима параллельной записи входного кода в режим счета по входу – EWR.

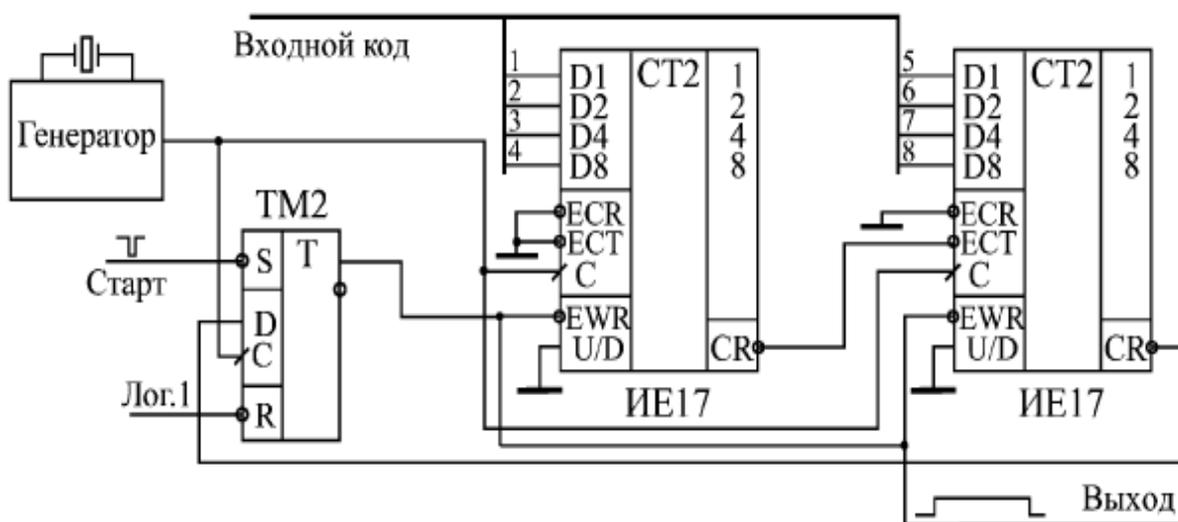


Рисунок 3.2 - Формирователь ВИ заданной длительности на ИМС IE17  
СЧ импульсов

Счет на вычитание происходит по положительным передним фронтам

тактового сигнала с генератора, когда синхронный ССЧ импульсов считает до нуля, следующим положительным фронтом тактового сигнала нулевой сигнал переноса – CR переписывается в управляющий триггер. Тем самым осуществляется формирование выходного сигнала.

При этом синхронный ССЧ импульсов переводится в режим параллельной записи.

Последующий цикл функционирования формирователя начинается посредством сигнала «Старт».

В данном случае управляющий триггер, работает синхронно с ИМС СЧ импульсов, в виду того, что тактируется тем же положительным передним фронтом того же тактового сигнала.

Длительность выходного сформированного сигнала находится в интервале от  $NT$  до  $(N+1)T$ , где  $T$  — период следования тактового сигнала от генератора, а  $N$  — значение входного кода значением от 0 до 25 единиц.

### **3.3. Управляемый генератор прямоугольных импульсов**

Рассмотрим возможность построения на основе синхронных ССЧ импульсов генератора прямоугольных импульсов (ГПИ) с кодоуправляемой регулировкой длительности импульса и паузы.

При этом ориентируемся на обеспечении максимального быстродействия или на максимальную тактовую частоту.

Остановимся на анализе функциональной схемы счетчиков импульса и паузы.

Зададимся числом разрядов данных ИМС СЧ импульсов равной 16. В этом случае схема счетчиков импульса и паузы (рисунок 3.3) будет включать в себя восемь (рисунок 3.3) ИМС счетчиков ИЕ17 и выходной триггер, а также логические схемы 4ИЛИ-НЕ для снижения времени задержек переноса.

В нашем случае удобно использовать JK-триггер, в виду того, что он обладает двумя информационными входами и тактовым входом.

Триггер тактируется отрицательным фронтом сигнала С, а ИМС СЧ импульсов — положительным фронтом.

В связи с этим с целью обеспечения синхронного функционирования всей схемы по переднему фронту одного тактового импульса, сигнал на вход С триггера поступает через инвертор.

Сущность функционирования функциональной схемы остается прежней.

То есть 16-разрядные ИМС СЧ импульсов длительности импульса и паузы функционируют поочередно, которая устанавливается управляющими сигналами с прямого и инверсного выходов триггера.

ИМС СЧ импульсов ведут подсчет на вычитание в режиме инверсного счета от кода, предварительно параллельно записанного в них, до нуля.

До начала работы, то есть когда сигнал «Разр.» соответствует логическому нулю, оба ИМС СЧ импульсов находятся в состоянии параллельной записи и записывают значение код длительности импульса и паузы.

При поступлении положительного импульсного сигнала разрешения генерации «Разр.» начинается считать верхний на рисунке 3.3 счетчик паузы.

Когда счетчик паузы подсчитывает до состояния логического нуля, его сигнал переноса переписывается в триггер по входу J и переключает его выход в состояние логической единицы, что переключает СЧ импульсов паузы из состояния подсчета в состояние параллельной записи и запрещает поступления импульсных сигналов на вход J.

Одновременно переходит в состояние счета и нижний по рисунку 3.3 СЧ импульса, который досчитывает до нуля и переключает триггер в состояние логического нуля по входу K.

Данный процесс регулярно повторяется до тех пор, пока разрешается генерация, то есть сигнал «Разр.» имеет положительное значение.

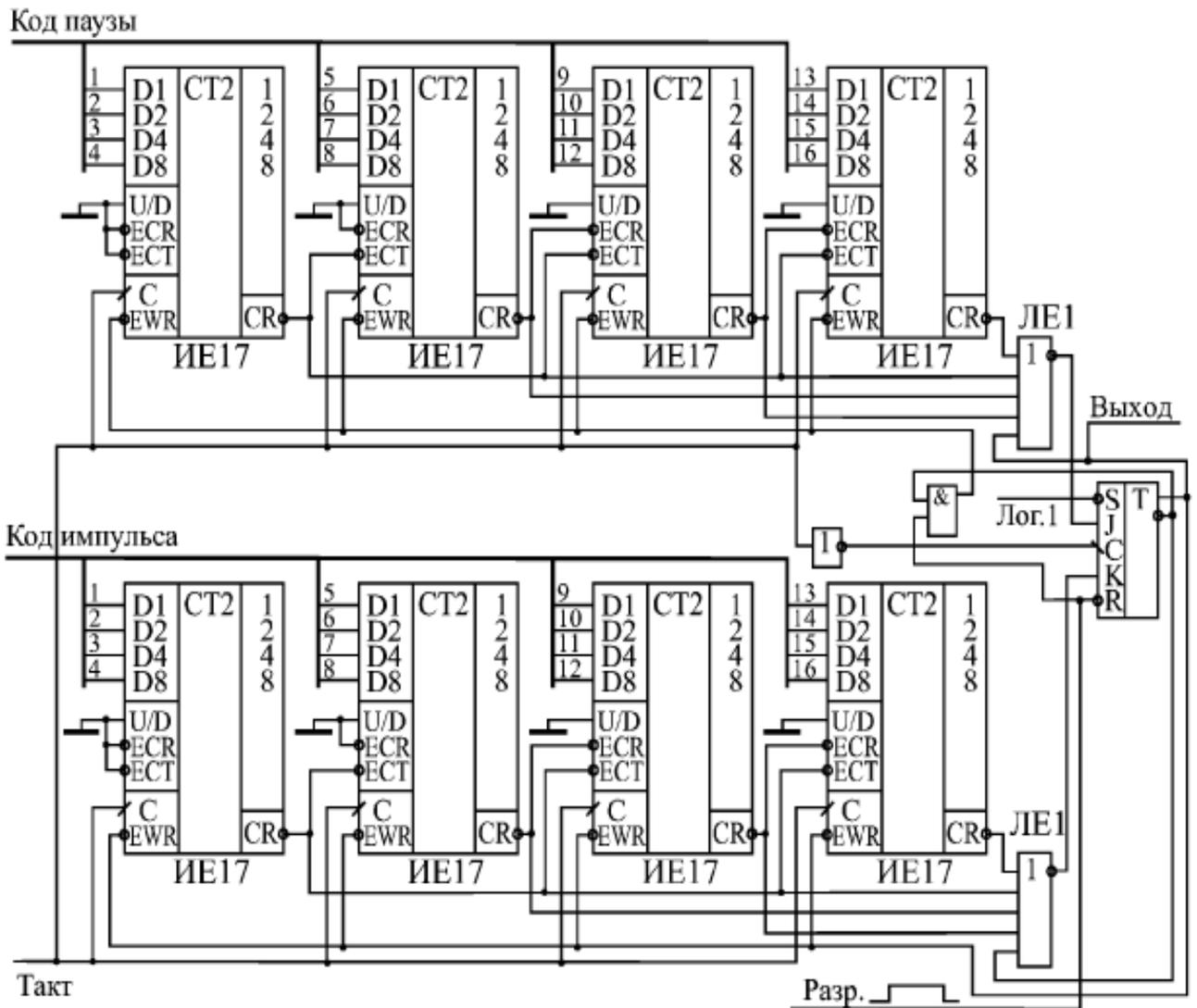


Рисунок 3.3 - Синхронные СЧ импульса длительности и паузы для генератора прямоугольных импульсов

#### **4. Условия достоверной работы интегральных параллельных (синхронных) суммирующих ССЧ импульсов**

Для обеспечения достоверной работы интегральных параллельных (синхронных) синхронных ССЧ импульсов необходимы выполнения следующих условий.

Во-первых, за период тактового импульсного сигнала должен успеть полностью сработать 16 - разрядный синхронный СЧ импульсов, выполненный на четырех ИМС синхронных счетчиков.

То есть сигнал на входы - ECR и - ECT последнего СЧ импульсов должен поступить до последующего переднего фронта тактового сигнала.

Во-вторых, за период следования тактового импульсного сигнала должна сработать цепочка из логического инвертора (ЛН1), триггера (ТВ11) и схемы 2И (ЛИ1).

Такое требование не такое жесткое, чем предыдущее, если применять выше перечисленные элементы цепочки из быстродействующих серий логических ИМС КР531, КР1531.

Приведенное использование синхронных ССЧ импульсов обеспечивает повышение частоты тактового сигнала ГПИ в два раза, практически до 20 МГц.

Очередное применение синхронных ССЧ импульсов, связано с их параллельной записью информации по переднему фронту тактового сигнала.

Другими словами в режиме параллельной записи синхронный ССЧ импульсов является регистром, работающим по переднему фронту тактового импульсного сигнала.

Благодаря этому при каскадировании нескольких ИМС ССЧ их выходные коды можно последовательно считывать с выходов последнего в цепочке, старшего синхронного ССЧ импульсов (рисунок 4.1).

ИМС синхронных ССЧ импульсов при этом создают многоразрядный сдвиговый регистр, а его режим работы устанавливается управляющим

сигналом «ССЧет./Сдвиг».

При наличии высоком уровне этого сигнала ССЧ импульсов находятся в режиме прямого подсчета по переднему фронту импульсного сигнала «Такт», в то время как при низком уровне сигнала все каскады ССЧ устанавливаются в режим последовательного счета 12-разрядного ССЧ импульсов посредством четыре разрядов правого по рисунку 3.1 ССЧ импульсов.

Первым читается состояние старшего синхронного ССЧ импульсов, а последним — младшего. При этом сдвиг выходного кода осуществляется по переднему положительному фронту тактового сигнала.

После трех импульсов тактового сигнала во все три синхронных ССЧ импульсов записывается нулевое значение кода и схема готова к прямому подсчету.

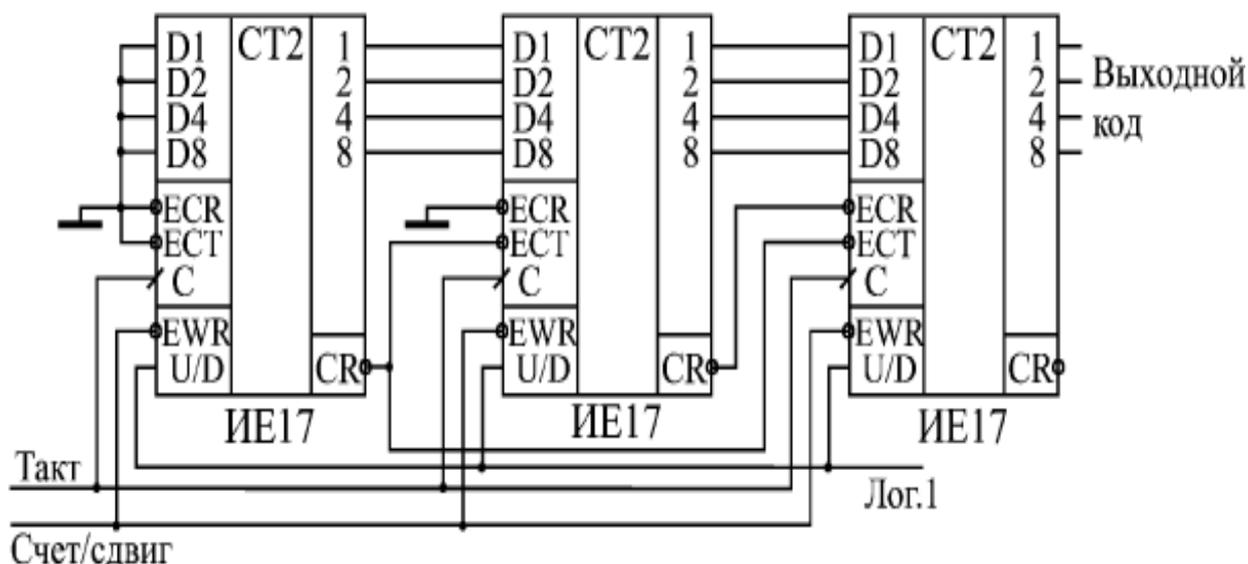


Рисунок 4.1 - Последовательное чтение выходного кода многокаскадного синхронного ССЧ импульсов

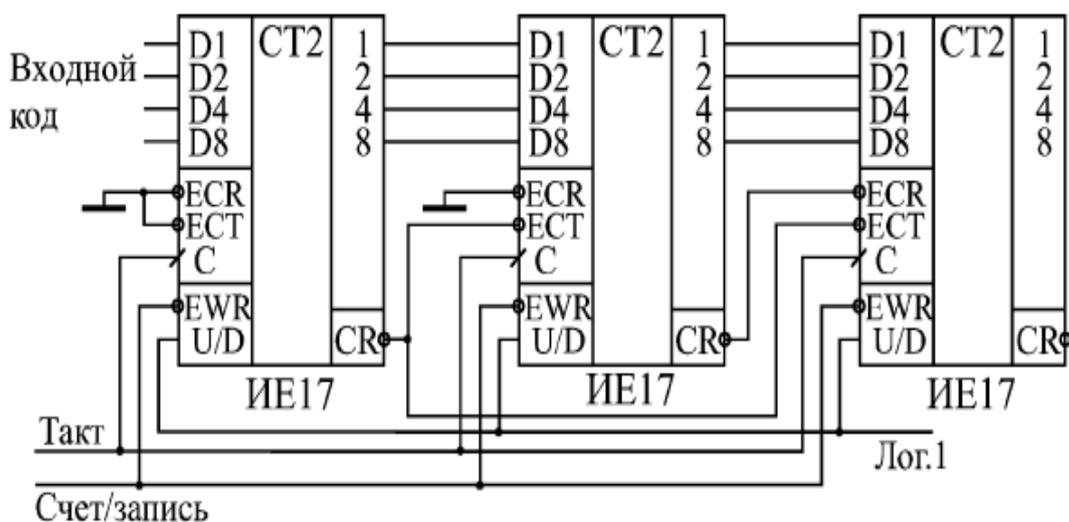


Рисунок 4.2 - Последовательная запись начального состояния в синхронный ССЧ импульсов

Такая же последовательная перезапись информации в синхронный ССЧ импульсов осуществляется посредством 4 - разрядного входного кода, которая позволяет записать исходное состояние в нескольких последовательно соединенных счетчиков (рисунок 4.2).

В начале работы схема переводится в режим параллельной записи нулевым уровнем сигнала «ССЧет/Запись», а 4 - разрядные коды, которые требуется записать во все счетчики, по очереди поступают на вход первого младшего ССЧ импульсов и сдвигаются по направлению к старшему СЧ импульсов по переднему положительному фронту тактового сигнала С.

Для записи всех трех счетчиков импульсов потребуется три тактовых импульса следующих подряд.

Причем, первым необходимо записывать код, предназначенный для старшего, на рисунке 4.2 справа, счетчика, а последним — код, предназначенный для младшего, на рисунке 4.2 слева, счетчика импульсов.

## 5. Разработка быстродействующего суммирующего синхронного (параллельного) ССЧ импульсов

Счетчики (СЧ) импульсов широко используют в различной физической аппаратуре для преобразования и измерения параметров импульсных потоков, а также для аналого-цифрового преобразования параметров сигналов.

С увеличением интенсивности потоков частиц и повышением производительности преобразователей возрастают и требования к быстродействию счетчиков.

Быстродействие СЧ, применяемых для регистрации статистически распределенных во времени импульсов, описывается разрешающим временем. Которое представляет собой минимальный временной интервал между двумя импульсами, регистрируемыми как разные.

При работе с периодическими последовательностями импульсов быстродействие можно характеризовать максимальной частотой  $f_{\text{ССЧ}}$  следования входных импульсов, регистрируемых без просчетов.

Быстродействие СЧ определяется также временем установления счетчика  $t_{\text{уст}}$ .

Для СЧ, срабатывающих по уровню тактового импульса  $t_{\text{уст}}$ , это максимальный интервал между поступлением счетного импульса и моментом установления его кода.

В тоже время для СЧ, работающих в режиме с внутренней задержкой  $t_{\text{уст}}$ , это максимальный интервал между моментом окончания счетного импульса и моментом установления его кода после окончания переходных процессов во всех разрядах СЧ.

В устройствах, предназначенных для совместной работы с ЭВМ, временных и амплитудных кодировщиках используют двоичные СЧ без индикации.

Как сами СЧ, так и схемы обслуживающей их логики строят на основе цифровых ИМС.

В быстродействующих СЧ применяют в основном ТТЛШ и ЭСЛ ИМС. В связи с отсутствием в ИМС этого типа счетных триггеров используют *JK*- и *D*-триггеры с динамическим управлением.

В двоичных СЧ с последовательным переносом каждый последующий каскад переключается сигналом переноса, формируемым на выходе предыдущего каскада.

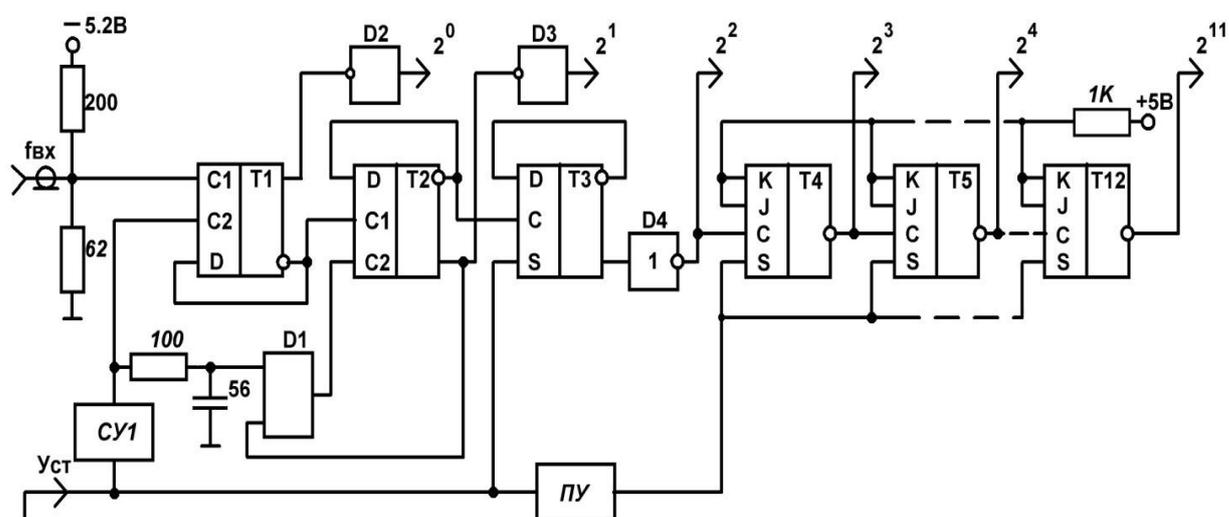


Рисунок 5.1 - Последовательный СЧ с максимальной входной частотой 500 МГц; *T1, T2* - 570ТМ1; *T3* - К500ТМ231; *T4 - T12* - К531ТВ10; *D2-D4* - К500ПУ125

Это позволяет использовать в младших и старших разрядах СЧ триггеры разного быстродействия, поскольку смена состояний каждого триггера последующего разряда происходит вдвое реже, чем триггера предыдущего разряда.

Применение в старших разрядах СЧ менее быстродействующих, но более экономичных ИМС позволяет существенно снизить мощность,

потребляемую счетчиком, и облегчить его тепловой режим.

В СЧ с максимальной частотой входных импульсов, не превышающей 100 МГц, целесообразно использовать быстродействующие ТТЛШ ИМС в младших разрядах и обычные ТТЛ ИМС в старших разрядах, поскольку логические уровни и питающие напряжения ТТЛШ ИМС такие же, как из обычных ИМС.

Для построения СЧ с входными частотами более 100 МГц приходится использовать комбинацию ЭСЛ ИМС и ТТЛШ ИМС с введением дополнительных схем сдвига уровней и буферных каскадов.

На рисунке 5.1 приведена схема СЧ с максимальной входной частотой 500 МГц, предназначенного для работы в счетно-импульсном преобразователе время—код.

В схеме использованы триггеры трех типов: в первом и втором разрядах счетчика - 570ТМ1, в третьем разряде - К500ТМ231 и в старших разрядах - JK-триггеры К531ТВ10, при такой структуре ЭСЛ триггеры работают на частотах 500, 250 и 125 МГц, а Ж - триггеры ТТЛШ ИМС - начиная с частоты 62,5 МГц.

При каскадировании счетчика и для съема информации с триггеров ЭСЛ использованы преобразователи уровней ( $D2-D4$ ) ЭСЛ — ТТЛ К500ПУ125.

Триггеры  $T3-T12$  устанавливаются в исходном состоянии по входам  $S$ . Быстродействующий триггер 570ТМ1 входов  $S$  и  $R$  не имеет, поэтому для установки триггеров  $T1$  и  $T2$  используются специальные логические схемы.

Для этого отрицательный импульс установки и выходной уровень  $Q_2$  триггера подают на схему совпадений  $D1$ .

Если уровень  $Q_2 = 0$ , схема  $D1$  в момент совпадения выдает положительный импульс, и поскольку  $C_i = 0$ , триггер  $D$  меняет свое состояние на противоположное.

При  $Q_2 = 1$  схема  $D1$  не срабатывает и триггер  $T2$  остается в прежнем состоянии.

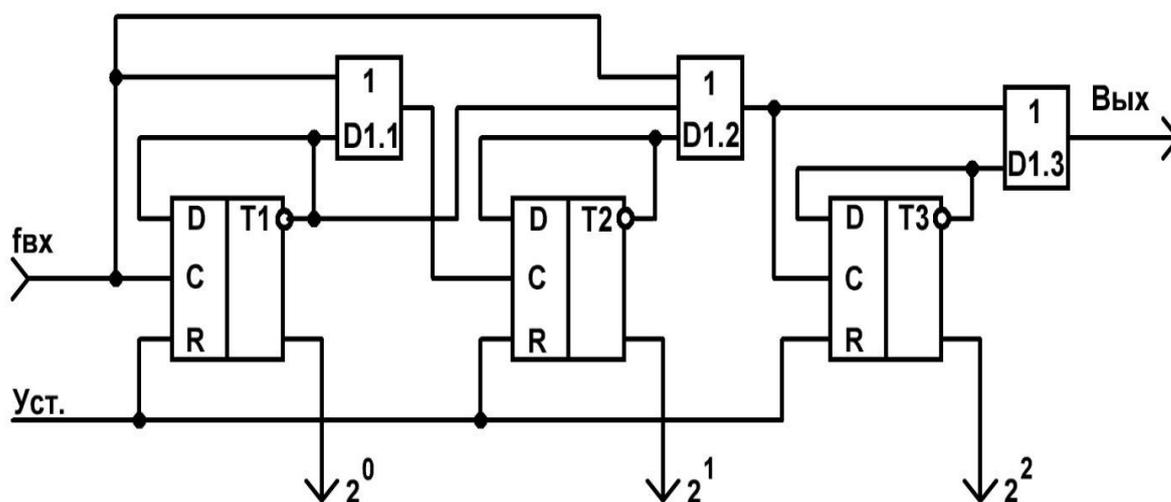


Рисунок 5.2 - Счетчик импульсов с параллельным переносом:  $T1-T3$  - К500ТМ131;  $D1$  - К500ЛМ105

Аналогичным образом может быть построена схема установки  $CVI$  первого триггера.

Опережение установки первого триггера обеспечивается использованием  $RC$ - цепи в схеме запуска  $D1$ .

Основным недостатком СЧ с последовательным переносом является большое время установления, определяемое суммарной задержкой последовательной передачи информации из младшего его разряда в старший разряд.

В наиболее неблагоприятном случае, когда счетчик переходит из состояния  $2^N - 1$  в состояние 0

$$t_{уст} = Nt_3,$$

где  $N$  — число разрядов счетчика;  $t_3$  — задержка срабатывания одного триггера.

Большое  $t_{уст}$  замедляет процесс съема информации со счетчика и в высокочастотных счетчиках практически исключает возможность съема

информации без остановки счета.

Для уменьшения  $t_{уст}$  применяют различные способы ускорения переноса информации, в частности используют дополнительные логические элементы, позволяющие параллельно во времени формировать сигналы переноса для всех разрядов.

При построении СЧ с параллельным переносом желательно использовать многовходовые триггеры *JK*- и *D* - типов.

К сожалению, в номенклатуре быстродействующих триггеров отсутствуют многовходовые триггеры, поэтому при построении высокочастотных счетчиков с параллельным переносом в схему счетчика вводят дополнительные элементы *I*, несколько увеличивающие его время установления:

$$t_{уст} = t_3 + t_{И},$$

где  $t_{И}$ - задержка вентиля *I*, формирующего перенос.

Схема трехразрядного счетчика с параллельным переносом, построенного на элементах ЭСЛ ИМС, приведена на рисунке 5.2.

Первый триггер Т1 работает, как и в СЧ с последовательным переносом, при поступлении на его вход положительных счетных импульсов.

Второй триггер переключается счетным импульсом при наличии логической единицы на выходе (на инверсном выходе имеется логический ноль) первого триггера, а третий - при наличии логической единицы на выходах двух предыдущих триггеров.

В *N* - разрядном СЧ каждый последующий триггер переключается под воздействием счетного импульса, а также при наличии логической единицы на выходах всех предыдущих триггеров.

Время установления счетчика (рисунок 5.2), реализованного на элементах серии К500, около 7 нс, что позволяет снимать с него информацию без остановки счета при частоте счетных импульсов порядка 100 МГц.

Недостатком СЧ с параллельным переносом является необходимость включения в схему логических элементов с нарастающим от разряда к

разряду числом входов.

Это ограничивает число разрядов СЧ, так как чем старше разряд, тем больше входов должна иметь соответствующая ему схема  $I$  и больше нагрузка входами вентиля  $I$  триггеров младших разрядов.

В многоразрядных быстродействующих СЧ используют параллельно-последовательную структуру построения: они выполняются из нескольких секций с параллельным переносом, включенных последовательно.

Универсальные синхронные СЧ выпускаются в интегральном исполнении.

Интегральный двоичный счетчик К500ИЕ136 (рисунок 5.3, а) может работать в режиме сложения и вычитания импульсов, поступающих по входу  $S$ .

Управление работой счетчика производится по входам  $S$ .

При

$$S1 = 0,$$

$$S2 = 1$$

осуществляется сложение импульсов,

при

$$S1 = 1,$$

$$S2 = 0 - \text{вычитание.}$$

При

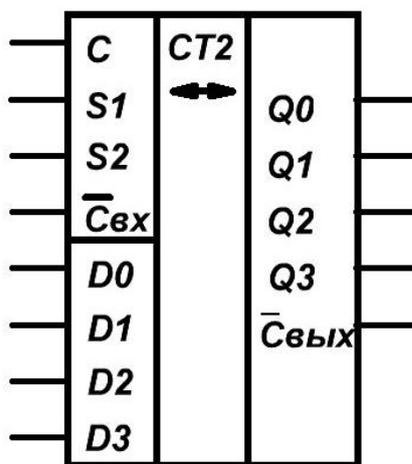
$$S1 = S2 = 0$$

схема работает как четыре триггера и обеспечивает прием информации по входам  $D_0 - D_3$ .

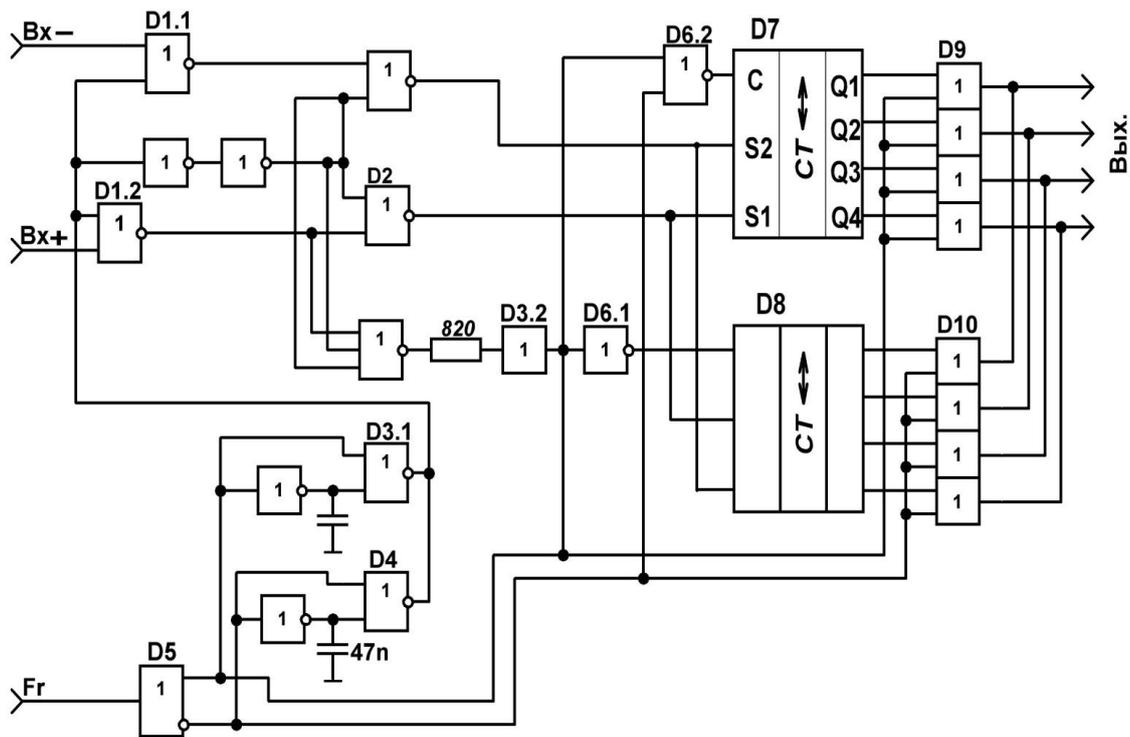
В момент прихода положительного перепада на вход  $S$ .

По входу  $C_{\text{вх}}$  осуществляется перенос из предыдущего разряда, выход  $C_{\text{вых}}$  служит для переноса в следующий разряд.

Быстродействующий реверсивный СЧ, построенный на основе ИМС К500ИЕ136 приведен на рисунок 5.3, б.



а)



б)

Рисунок 5.3 - ИМС К500ИЕ136 (а) и реверсивный СЧ на ее основе (б);

D1-D3 - K500ЛМ105; D2-D6-D4 - K500ЛМ102; D5 - K500ЛП216;

D7,D8 - K500ИЕ136, D9,D10 - K500ЛМ101

СЧ применяется для измерения временного распределения непрерывно поступающих на его входы импульсов дифференциального дискриминатора и состоит фактически из двух счетчиков  $D7$  и  $D8$ , работающих поочередно.

В каждом цикле работы один СЧ подсчитывает импульсы, а другой - передает информацию о сосчитанных в предыдущем интервале импульсах в ячейку запоминающего устройства.

Выбор режима работы СЧ (сложение, вычитание, установка) осуществляется с помощью логических - элементов  $D3 - D5$ ,  $D8$ ,  $D10$ .

Для очистки СЧ перед началом нового цикла на входы  $S7$ ,  $S2$  подаются нулевые уровни, на вход  $C$  - положительный перепад.

Для блокировки СЧ в момент установки используются одновибраторы на элементах ИМС  $D4$ .

Очередность работы СЧ определяется схемами пропускания  $D6$ , управляемыми тактовой последовательностью  $F_T$ .

Информационные выходы СЧ поразрядно объединены с помощью вентилях  $D9$ ,  $D10$ , пропускающих выходные сигналы счетчиков на общую информационную магистраль в соответствии с фазой тактового сигнала.

Максимальная скорость счета в рассмотренной схеме 120 МГц.

Десятичные СЧ обычно используются в информационно - измерительных системах.

Их основное достоинство - удобство записи и считывания показаний в десятичном коде.

Декады быстродействующих десятичных СЧ строят на основе двоичных СЧ, кольцевых СЧ или их комбинаций.

При построении декады на основе двоичного СЧ используют четырехразрядный счетчик, коэффициент счета которого снижают до 10, вводя в него дополнительные логические связи.

В зависимости от вида этих связей СЧ работают в различных двоично-

десятичных кодах.

Чаще других употребляется код 1-2-4-8.

Достоинство этого кода состоит в том, что каждому десятичному числу в нем соответствует только одна кодовая комбинация.

В двоично - десятичном коде 1-2-4-8 работает реверсивный декадный СЧ К500ИЕ137, его максимальное быстродействие - порядка 100 МГц.

Десятичный счетчик с максимальной скоростью счета 150—200 МГц может быть построен на *D*-триггерах серии К500 (К500ТМ131, К500ТМ231). Максимальное быстродействие в десятичных СЧ, достигается при полной микроминиатюризации схемы.

Так, построенная в виде монолитной ИМС декада [17] обеспечивает максимальную скорость счета 550 МГц.

Декада представляет собой двоично - десятичный счетчик, работающий в коде 1-2-2-4. Каждый из четырех триггеров декады имеет *MS* - структуру и построен на Э<sup>2</sup>СЛ-вентиллях.

Потребляемая декадой мощность составляет около 750 мВт, поэтому в корпусе ИМС предусмотрен специальный радиатор и подложка ИМС расположена непосредственно на нем.

Счетчики с предварительной установкой кодов позволяют создавать программируемые делители частоты, и их быстродействие часто определяет минимальный шаг изменения периода выходной частоты делителя.

Структурная схема, иллюстрирующая принцип действия программируемого делителя с данными СЧ, приведена на рисунке 4.4, а.

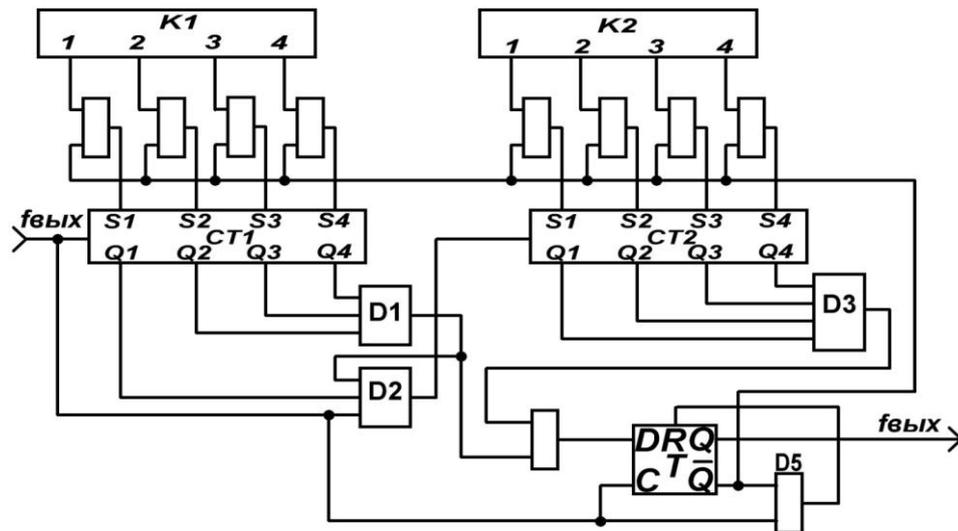
В ней используются две последовательно включенные декады *СТ1* и *СТ2*, работающие на вычитание.

Коэффициент деления от 1 до 99 задается при помощи двух групп ключей *K1* и *K2* в двоично-десятичном коде 1-2-4-8.

Входная последовательность импульсов с частотой  $f_{вх}$  уменьшает записанное в них число до полного обнуления счетчика, при этом срабатывают схемы совпадений, фиксирующие нулевое состояние декад, *D1-*

$D_3$  и всего счетчика  $D_4$ . Выходной сигнал  $D_4$  поступает на вход  $D$  триггера  $T$  и в момент появления соответствующего заданному числу импульса входной последовательности  $T$  формирует фронт выходного импульса на выходе  $Q$ .

Инверсный сигнал  $T_c$  выхода  $Q$  сбрасывает триггер и вновь устанавливает триггеры счетчиков в заданное состояние



a)

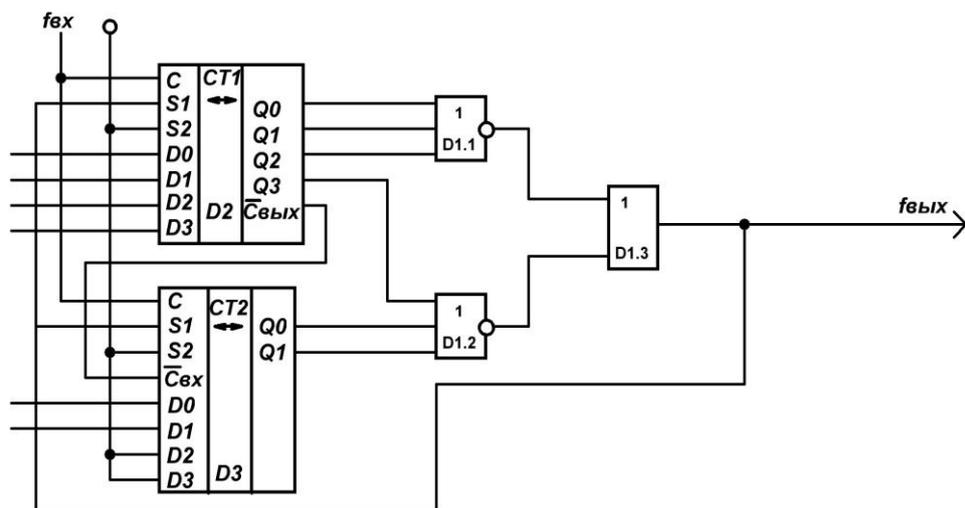


Рисунок 5. 4 - Программируемые делители частоты с  $K_{дел} = 1-99$  (а) и  $K_{дел} = 1-64$  (б):  $CT1, CT2$  - К500ИЕ136;  $D1$  - К500ИЕ106

В реальных схемах СЧ с предварительной установкой удобно использовать интегральные микросхемы К500ИЕ136 и К500ИЕ137.

Схема делителя частоты на двоичных счетчиках К500ИЕ136 приведена на рисунке 5.4, б.

В этой схеме на входы  $D$  счетчиков  $D2$  и  $D3$  подаются логические уровни в соответствии с двоичным кодом задаваемого коэффициента деления. СЧ включают на вычитание подачей на вход  $S2$  потенциала, соответствующего логическому нулю.

Периодическая последовательность  $f_{вх}$ , подаваемая на вход  $C$  СЧ, уменьшает его содержание до тех пор, пока на всех выходах установится нулевой уровень.

При этом сработают схемы совпадений  $D1$ , на входах СЧ появится уровень логического нуля и в счетчик вновь будет записано число, соответствующее необходимому коэффициенту деления.

Процесс будет вновь повторен.

В рассмотренной схеме максимальная входная частота 80 МГц, коэффициент деления может изменяться от 1 до 64.

В настоящее время блоки СЧ с максимальной скоростью счета более 100 МГц выпускаются серийно в рамках системы КАМАК.

В одном блоке обычно размещают несколько СЧ.

В двоичных СЧ разрядность 16 или 24 выбирают в соответствии с наиболее употребительной длиной слова ЭВМ.

Десятичные счетчики содержат 4-6 десятичных разряда.

Вывод информации на ЭВМ осуществляется через канал передачи данных, либо периодически, по программе, либо после того, как СЧ выставит требование на обслуживание.

Некоторые блоки имеют встроенную индикацию или позволяют подключать внешние блоки индикации с помощью специального разъема.

В блоках десятичных СЧ с предварительной установкой часто

используют декадные переключатели, двоичные СЧ устанавливают только через канал данных.

В качестве примера рассмотрим блок счетчиков JEA-30 [107] фирмы Enertec-Schlumberger.

Блок содержит четыре 24-разрядных счетчика с устройствами индикации.

Максимальная скорость счета каждого СЧ 300 МГц.

На входе каждого счетчика установлена схема пропускания, обеспечивающая возможность его работы при наличии разрешающих сигналов.

Требование на обслуживание (L) генерируется при заполнении счетчика до половинной емкости ( $2^{23}$ ).

Сброс счетчиков возможен вручную с передней панели, по магистрали КАМАК и от внешнего импульса, поступающего через разъем на передней панели.

Для вывода информации на табло в десятичном виде используется преобразователь двоичного кода в десятичный.

Счетчик потребляет 3 А по шине +6В и 1,4 А - по шине - 6 В.

В настоящем параграфе рассмотрены лишь некоторые примеры построения быстродействующих счетчиков.

## Заключение

В бакалаврской работе проведен обзор и классификация основных разновидностей синхронных (параллельных) суммирующих счетчиков импульсов, таких как последовательные, параллельные, реверсивные, интегральные параллельные.

Рассмотрены возможности построения на основе параллельных суммирующих счетчиков импульсов таких устройств как генератор прямоугольных импульсов, формирователей временных интервалов с кодоуправляемой длительностью и паузой.

На основе проведенного обзора разработаны быстродействующие суммирующие синхронные (параллельные) счетчики импульсов с частотой счета 150МГц и 500МГц с применением отечественной элементной базы (ИМС серии К500). Кроме того разработан программируемый делитель частоты на основе быстродействующие суммирующие параллельных счетчиков импульсов.

## Список используемой литературы

1. И.И. Бобров «Импульсные и цифровые устройства», Пермь 2005г.
2. Справочник «Интегральные микросхемы» Б.В. Тарабрин, Л.Ф. Лунин, Ю.Н. Смирнов и др., Радио и связь, Москва 1984г.
3. В Л. Шило «Популярные цифровые микросхемы», Радио и связь, Москва 1987г.
4. А.С. Партин, В.Г. Борисов «Введение в цифровую технику», Радио и связь, Москва 1987г.
5. И. Горошков «Элементы радиоэлектронных устройств», Радио и связь, Москва 1988г.
6. Методические рекомендации «Синтез счётчиков сигналов» Ю. В. Панов, Т. С. Леготкина, Пермь 1990г.
7. Также использованы материалы сайта [www.qrz.ru](http://www.qrz.ru) и электронный «Справочник по цифровым логическим микросхемам ТТЛ, ТТЛШ, ЭСЛ типов, 1 часть».
8. Гусев В. Г., Гусев Ю. М. Электроника. Учебное пособие для приборостроительных специальностей вузов. - 2-е изд. М.: Высшая школа, 1991. - 622 с.
9. Гутников В. С. Интегральная электроника в измерительных устройствах. - 2-е изд. - Л.: Энергоатомиздат., 1988. - 304 с.
10. Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. - Л.: Энергоатомиздат, 1986. - 280 с.
11. Алексеенко А.Г., Шагурин И.И. Микросхемотехника.- М.: «Радио и связь», 1985. – 267 с.
12. Аналоговые и цифровые интегральные микросхемы: Справочное пособие / Под ред. М.Р. Якубовского. – М.: «Радио и связь», 1990. – 312 с.
13. Калабеков Б.А. Цифровые устройства и микропроцессорные системы: Учебник для техникумов связи. – 2-е – изд. – М.: «Радио и связь», 1997. – 338 с.

14. Опадчий Ю.Ф. Аналоговая и цифровая электроника. - М.: Радио и связь, 1996. – 768 с.
15. Сапельников В.М. Цифро-аналоговые преобразователи в калибраторах фазы. / Изд-е Башкирск. гос. ун-та. - Уфа. - 1997. - 152 с.
16. Сапельников В.М., Кравченко С.А., Чмых М.К. Проблемы воспроизведения смещаемых во времени электрических сигналов и их метрологическое обеспечение / Изд-е Башкирск. гос. ун-та. – Уфа. - 2000. – 196 с.
17. Шило В.Л. Популярныe цифровые микросхемы. – М.: «Радио и связь», 1987. – 220 с.
18. Токхейм Я. Основы цифровой электроники. – М.: Мир, 1988. – 420 с.
19. Ямпольский В.С. Основы автоматики и электронно-вычислительной техники.- М.: Просвещение, 1991. – 223 с.
20. Марченко А. Л., Марченко Е. А. Основы преобразования информационных сигналов. Учебное пособие. — М.: Горячая линия — Телеком, 2008, 280 с.
21. Немцов М. В. Электротехника и электроника. Учебник для вузов. — М.: Изд. МЭИ, 2004, 460 с.