

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ
ФЕДЕРАЦИИ
федеральное государственное бюджетное образовательное учреждение
высшего образования

«Тольяттинский государственный университет»
ИНСТИТУТ ЭНЕРГЕТИКИ И ЭЛЕКТРОТЕХНИКИ

(институт)

Промышленная электроника

(кафедра)

11.03.04 Электроника и нанoeлектроника

(код и наименование направления подготовки, специальности)

Промышленная электроника

(направленность (профиль))

БАКАЛАВРСКАЯ РАБОТА

на тему **Цифровые преобразователи временных интервалов с
интерполяцией**

Студент (ка)

М.А. Марков

(И.О. Фамилия)

(личная подпись)

Руководитель

Г.Н. Абрамов

(И.О. Фамилия)

(личная подпись)

Допустить к защите

Заведующий кафедрой к.т.н., доцент А.А. Шевцов

(ученая степень, звание, И.О. Фамилия)

(личная подпись)

« » 20 г.

Тольятти 2017

Аннотация

Объем 53 с., 12 рис., 21 источник

В бакалаврской работе рассмотрены основные принципы одиночной и двойной интерполяции временных интервалов (ВИ).

А также ряд цифровых преобразователи (ЦП) ВИ с одиночной и двойной видами интерполяции и интерполяторами хронотронного и рециркуляционного типов. Причем ЦП ВИ с хронотронными интерполяторами обладают быстродействием соответствующим реальной длительности преобразуемого ВИ. В то время как ЦП ВИ с двойной рециркуляционной интерполяцией – более высокой точностью и небольшими аппаратными затратами.

Отдельное внимание уделено способу повышению точности преобразования цифровых преобразователей ВИ с одиночной и двойной интерполяции, основанного на многократном преобразовании длительности ВИ и последующим усреднении их цифровых результатов преобразований.

Содержание

Введение.....	5
1. Основные принципы одиночной и двойной интерполяции временных интервалов.....	7
2. Повышение точности цифровых преобразователей временных интервалов с интерполяцией.....	12
3. Основные разновидности цифровых преобразователей временных интервалов с интерполяцией.....	23
3.1. Устройства цифрового преобразования временных интервалов на основе двух хронотронных интерполяторах прямого кодирования.....	23
3.2. Преобразователи временных интервалов в цифровой код с одиночной интерполяцией.....	31
3.3. Цифровые преобразователи временных интервалов с двойной рециркуляционной интерполяцией.....	40
4. Повышение точности фиксации совпадений в цифровых преобразователях временных интервалов с одиночной и двойной интерполяцией.....	46
Заключение.....	51
Список используемой литературы.....	52

Введение

В настоящее время цифровые методы представления и обработки сигналов нашли применение как в вычислительных системах, так и в управляющей, телекоммуникационной и измерительной техники.

Точность цифровых преобразователей сигналов, в которых информативным параметром является временной интервал (ВИ), определяется шагом дискретизации времени.

В традиционных цифровых системах шаг дискретизации равен образцовому периоду, а его уменьшение обеспечивается за счет повышения образцовой частоты. Однако имеется ряд задачи, решение которых требует шага дискретизации ВИ, существенно меньше чем образцовый период.

Решение этих задач особенно востребованы в таких технических областях, как радиолокация и оптическая связь, цифровое измерении ВИ и фазовых сдвигов, а также фазовой синхронизация.

Одна из областей, в которых важное значение имеет размер кванта времени, это генерирование и контроль сигналов в устройствах хранения данных, например при чтении информации из накопителей на магнитных носителях.

Одновременно с новыми технологическими возможностями уменьшения шага дискретизации в последнее десятилетие активно велись разработки временной интерполяции образцового периода, то есть деления его на части, размер которых служить новым шагом дискретизации ВИ.

Способы деления (интерполяции) образцового периода или в общем случае произвольного ВИ использовались и раньше, например, применение для этих целей линий задержки в цифровых измерительных преобразователях известно из работ В. М. Шляндина.

Следует иметь в виду, что в современной технической литературе и документации процесс обеспечения дополнительных точек отсчета внутри некоторого ВИ получил название фазовой интерполяции.

Активное становление интерполирующих время - цифровых преобразователей (ВЦП) ВИ, наблюдается в последнее десятилетие, и основывается на технологических достижениях микро - и нано - электроники, в частности на программируемых логических интегральных схемах (ПЛИС).

Которые позволяют оперативно создавать и проверять новые структуры и алгоритмы ВЦП, что исключает трудоемкие и дорогостоящих процессы разработки заказных больших интегральных схем (БИС).

1. Основные принципы одиночной и двойной интерполяции временных интервалов

Благодаря достижениям микро - и нано - электроники цифровые способы представления информации в настоящее время составляют основу вычислительной, управляющей, телекоммуникационной и измерительной техники. Точность цифровых устройств синхронизации и преобразования информации тем выше, чем меньше шаг дискретизации времени, который как отмечалось выше, равен образцовому периоду времени.

Однако всегда остаются задачи, для решения которых требуется шаг дискретизации, значение которого должно быть значительно меньше образцового периода. Например, к числу таких задач относятся восстановление синхронизации и декодирование данных в каналах их передачи, радиолокации и сопровождение целей по дальности, оптическая связь, цифровое измерение ВИ в физических экспериментах.

Уменьшение шага дискретизации, которое достигается путем создания множества промежуточных точек отсчета внутри ВИ информационного сигнала и есть основа временной (фазовой) интерполяции, в дальнейшем изложении интерполяция.

Интерполяция ВИ осуществляется различными способами, одни из которых основаны на разделении образцового периода времени на равные части путем формирования множества копий основного образцового периода времени, другие – на получении субквантов времени, которые имеют значения меньше времени задержки логического вентиля на временном промежутке между парой образцовых колебаний.

Техническими средствами осуществления интерполяции первой группы способов служат цифровые линии задержки (ЦЛЗ) и многофазные генераторы (МФГ) на основе ЦЛЗ, которые для стабилизации шага

дискретизации охвачены обратными связями по времени задержки и по фазе. Способы получения шагов (субквантов) дискретизации времени субвентильного диапазона основываются на применении множества ЦЛЗ со смещенными шкалами временного отсчета, или на использовании специальных элементов и устройств фазовой интерполяции с зафиксированными осями интерполяции.

Применение интерполяции при синхронизации в процессе передачи, приема и хранения цифровых данных обеспечивает посредством уменьшения шага дискретизации существенное повышение точности синхронизации, а также основательно расширить частотный диапазон самих устройств синхронизации.

Интерполяционные преобразователи ВИ в цифровой код (далее цифровые преобразователи - ЦП ВИ с интерполяцией) основываются на комбинировании как минимум двух способов преобразования и практически представляют собой «грубо – точный» ЦП ВИ [1-3].

В них вначале счетно – импульсным способом, который использует шкалу отсчета «грубо» цифрового результата преобразования (ЦРП), заполняется длительность t_x преобразуемого ВИ импульсами образцовой счетной импульсной последовательности $f_o(t)$ с периодом следования T_o и которая формируется образцовым генератором импульсов ОГ (рисунок 1.1).

Количество импульсов ОГ заполнивших длительность преобразуемого ВИ

$$N_o = t_x / \tau,$$

записывается в счетчик импульсов (СИ) и представляет собой с дискретностью

$$\tau = T_o$$

цифровой результат преобразования (ЦРП) «грубо».

Дискретность преобразования τ «грубого» преобразования счетно-импульсным способом ограничивается быстродействием СИ.

В настоящее время временное разрешение интегральных схем (ИС) СИ не превышает значения в (2÷4) нс, что обеспечивает $\tau \geq 2$ нсек.

Для обеспечения $\tau \ll 1$ нсек требуется сверхпроводящая элементная база, а это основательно затрудняет техническую реализацию ЦП ВР с интерполяцией.

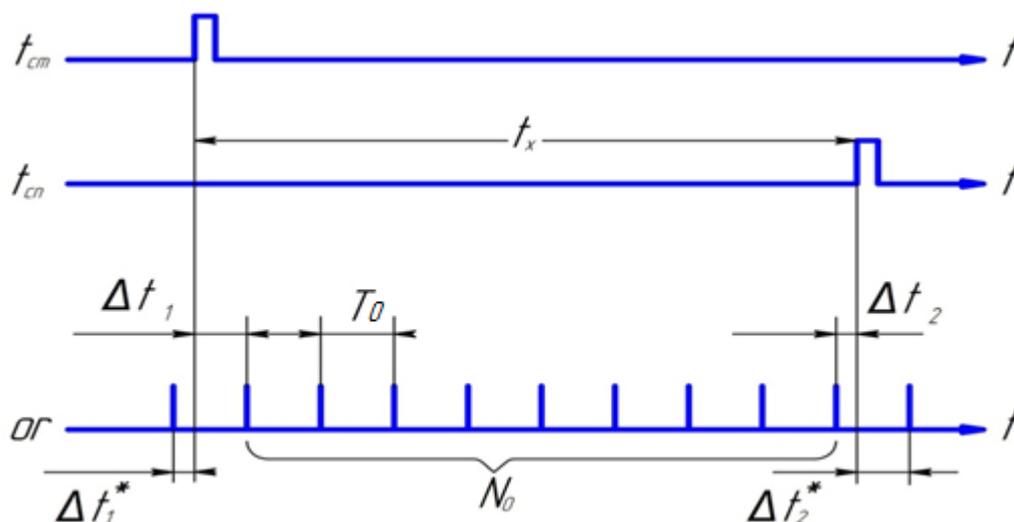


Рисунок 1.1- Временные диаграммы работы ЦП ВИ с интерполяцией

Другим существенным недостатком счетно-импульсного способа является неопределенностью прихода преобразуемого ВИ относительно импульсной последовательности $f_0(t)$, что приводит к двум составляющим общей погрешности дискретизации $\Delta t_1 = t_{хн}$

и $\Delta t_2 = t_{хк}$, зафиксированных соответственно на начало и конец длительности преобразуемого ВИ.

В виду того, что $t_{\text{хн}} < T_0$ и $t_{\text{хк}} < T_0$, максимальное значение общей погрешности дискретизации характеризуется следующим описывается неравенством

$$t_{\text{хнк. max}} < 2 T_0$$

и в худшем случае достигает значения в (4÷8) нс.

Как следует из рисунка 1.1 значение длительности преобразуемого ВИ равно

$$t_x = (N_0 - 1) T_0 + t_{\text{хн}} + (T_0 - t_{\text{хк}}),$$

где - $t_{\text{хн}}$ – ВИ между началом преобразуемого ВИ и первым из N_0 импульсов импульсной последовательности $f_0(t)$;

- $t_{\text{хк}}$ – ВИ между концом преобразуемого ВИ и импульсом счетно-импульсной последовательности, следующим первым по его окончании.

Для погрешностей дискретизации $t_{\text{хн}}$, $t_{\text{хк}}$ справедлив прямоугольный закон распределения, что соответствует равной вероятности поступления этих ВИ в любой момент времени между двумя соседними импульсами импульсной последовательности $f_0(t) = f(t + N_0 T_0)$, а их суммарный закон распределения будет представляться распределением Симпсона, который имеет вид равнобедренного треугольника с высотой $1/T_0$ и основанием равным $2T_0$ и среднеквадратической погрешностью $\delta_T = T_0 / 6^{-1/2}$.

При исключении погрешности $t_{\text{хн}}$ за счет синхронизации начала преобразуемого ВИ с импульсной последовательностью $f_0(t)$, максимальная общая погрешность дискретизации описывается неравенством $t_{\text{хнк. max}} < T_0$,

а среднеквадратическая погрешность уже равенством $\delta_T = T_0 / 12^{-1/2}$, то есть уменьшаются соответственно в $2^{1/2}$ раз

Погрешность $t_{\text{хк}}$ является принципиально неустранимой, однако ее значение может быть значительно уменьшено с помощью интерполяции, путем комбинирования счетно-импульсного способа с интерполяторами различных (хронотронный, нониусный, рециркуляционный и рециркуляционно – нониусный и др.) типов.

При этом следует иметь в виду, что интерполяция (уточнение) значения только длительности $t_{\text{хн}}$ или только длительности $t_{\text{хк}}$ принято называть одиночной интерполяцией, одновременно обоих – двойной интерполяцией, а цифровые результаты их преобразований – ЦРП «точно».

Ниже рассматриваются ЦП ВИ с одиночной и двойной интерполяцией.

2. Повышение точности цифровых преобразователь временных интервалов с интерполяцией

Данный преобразователь предназначен для высокоточных цифровых измерений (преобразований) однократных временных интервалов (ВИ). Техническое новшество заключается в повышенной точности цифрового преобразования время – код (ПВК) ВИ и достигается путем вводе нескольких дополнительных одинаковых ПВК в блок, содержащий интерполирующий преобразователь время-код (ИПВК), в котором первые и вторые входы соединены с клеммами импульсных сигналов начала и окончания преобразуемого ВИ [4].

Для ПВК – преобразования временных интервалов используются счетчики импульсов, действие которых основывается на подсчете числа импульсов образцовой частоты, уместившихся в длительности преобразуемого ВИ.

Повышенная точность ПВК достигается путем уменьшения шага дискретизации или повышением образцовой частоты, либо временной интерполяцией образцового периода. Однако первый путь имеет пределы, которые обуславливаются быстродействием современной цифровой элементной базы.

Существуют интерполирующие ПВК, которые содержат образцовый генератор импульсов (ОГИ), выход которого подключен со счетным входом счётчика импульсов (СИ) через первую схему И [3-4].

При этом другой вход первого элемента И подключен к выходу триггера (ТР), у которого входы применяются для подключения к импульсным сигналам запуска и остановки преобразователя.

Кроме этого, также имеется последовательная цепь из множество элементов задержки (ЭЗ) включенная к выходу ОГИ, а выход каждого из множества ЭЗ подключен ко входу сброса соответствующего дополнительного ТР, количество которых равно количеству ЭЗ.

Выходы каждого из дополнительных ТР подключены к входам шифратора (ШИФ).

Началом процесса преобразования является сброс СИ и ТР импульсом «пуск», а окончание – импульсом «остановка».

При этом группа старших разрядов цифрового результата (СР ЦР) преобразования формируются на выходах СИ и отображают целое количество образцовых периодов ОГИ, уместившихся в длительность преобразуемого ВИ.

Группа младших разрядов ЦР преобразования отображается на выходах ШИФ и описывает дробную часть образцового периода.

Недостатком данного ПВК служит малая точность преобразования, так как значение шага дискретизации не может быть меньше времени (ВРМ) задержки ЭЗ.

Другим аналогом рассматриваемого технического новшества служит ПВК, где применяется нониусный способ цифровой оценки дробной части преобразуемого ВИ [4].

В этом преобразователе имеются основной и дополнительный ОГИ, периоды следования импульсных последовательностей в которых различаются на небольшую величину, равную дискретности преобразования. В нем также имеются: два ТР и два вентиля И, которые управляют нониусной разверткой, и два СИ, которые фиксируют ЦР преобразования.

При высокой точности преобразования ПВК обладает низкой производительностью из-за большого «мертвого» времени преобразования, в виду того, что нониусная развертка по окончании преобразуемого ВИ занимает множество образцовых периодов следования импульсной последовательности дополнительного ОГИ.

Другой аналог данного ПВК – временной (ВРМ) интерполятор, содержащий СИ и многоотводную линию задержки (ЛЗ), входы которой подключаются к общим зажимам образцовых импульсных сигналов [5-7].

ВРМ – интерполятор содержит регистр (РЕГ) в виде множества ТР с общими информационными и сбросовыми входами, при этом синхронизирующие входы ТР подключаются к соответствующими промежуточными отводами многоотводной ЛЗ.

Также схема содержит ПЗУ - постоянное запоминающее устройство, которое используется для преобразования термометрического кода зафиксированного РЕГ в двоичный код.

Общее ВРМ задержки многоотводной ЛЗ - один опорный период ОГИ.

Стартовый импульс, синхронизированный с опорным сигналом и разрешающий работу СИ, осуществляет запуск устройства. В это же время импульсы образцовой импульсной последовательности распространяются по ЛЗ.

При поступлении стопового импульса счетчик импульсов (СИ) считает количество полных образцовых периодов, уместившихся в преобразуемом ВИ, а РЕГ – номер отвода многоотводной ЛЗ, до которого успел продвинуться образцовый импульсный сигнал.

В результате в СИ отражаются старшие разряды ЦР преобразования, а в ПЗУ – младшие разряды.

Точность преобразования устанавливается временем (ВРМ) задержки секции многоотводной ЛЗ, которое значительно меньше образцового периода следования. Однако и такая разрешающая способность ПВК для многих случаев применения является малой.

Имеется также и дополнительная погрешности, связанная с неравномерностью времени задержки в отдельных секций ЛЗ.

Из известных аналогов самым близким к данному ПВК относится устройство цифрового преобразования (ЦП) ВИ с образцовым генератором импульсов (ОГИ), выполненным как многофазный генератора (МФГ), в котором множество выходов формируют субшкалу отсчета ВРМ.

Выходы МФГ подключаются к соответствующими информационными входами двух РЕГ, где тактовые входы соединяются с входными клеммами

старт – и стоп импульсов, отображающих соответственно начало и окончание преобразуемого ВИ, а выходы через соответствующие ШИФ соединяются с младшими входами соответствующих операндов устройства вычитания (УВ).

Одновременно старшие входы первого операнда УВ присоединяются с помощью третьего РЕГ к выходам разрядов СИ, который фиксирует целое число опорных периодов уложившихся в преобразуемом ВИ.

Для записи ЦР преобразования в момент окончания преобразуемого ВИ присутствует четвертый РЕГ.

В рассмотренном ПВК нет необходимости в синхронизации начала отсчета интервала с образцовой импульсной последовательностью, а неравномерность квантов времени на выходах МФГ получается достаточно малой. В результате точность преобразования в ПВК ограничивается значением кванта времени МФГ, а дополнительная погрешность вызывается нестабильностью опорного периода МКГ.

Цель рассматриваемого ниже цифрового преобразователя ВИ состоит в повышении точности преобразования однократных временных интервалов.

Указанная цель достигнута уменьшением случайных составляющих погрешности с помощью усреднения результатов, получаемых одновременно большим количеством независимых ИПВК.

Широко известно, что n -кратное преобразование одних и тех же физических величин может повышать точность измерений в \sqrt{n} раз [3,5].

Особенность используемого в предлагаемом устройстве метода - процесс измерения величин разнесен не во ВРМ, а в пространстве.

Поставленная цель достигнута тем, что в устройство, содержащее ПВК, связанное первым и вторым входами с клеммами старт – и стоп – импульсов, которые соответствуют началу и окончанию длительности преобразуемого ВИ, вводятся множество дополнительных аналогичных ПВК.

Одноименные входы всех дополнительных ПВК объединяются, при этом их третьи объединенные входы подключаются к выходу ОГИ, а

многоуровневые выходы подключаются к информационным входам соответствующих РЕГ.

Тактовые входы РЕГ подключаются к клемме стоп – импульса через элемент задержки ЭЗ, а выходы – к соответствующим входам устройства усреднения (УУС) 13.

В желаемом варианте построения каждый из дополнительных ПВК строится в виде МФГ, множество выходов которого соединяются с информационными входами первого и второго РЕГ.

Тактовые входы которых, являются первым и вторым входами дополнительных ПВК, а выходы соединяются с входами первого и второго ШИФ.

При этом один из выходов МФГ соединяется с тактовым входом первого СИ непосредственно, а с входом установки в ноль сброса второго СИ через делитель частоты. Вход установки в ноль сброса первого СИ подключен к первому входу ПВК, а тактовый вход второго СИ является третьим входом ПВК.

Одновременно с этим выходы первого и второго СИ соединяются с информационными входами соответственно третьего и четвертого РЕГ, тактовыми входами (ТВХ) присоединяемых соответственно к ТВХ входу второго РЕГ и выходу делителя частоты.

Выходы первого и второго ШИФ, третьего и четвертого РЕГ присоединяются к цифровым входам (ЦВХ) арифметического логического устройства (АЛУ).

В ПВК отсутствует требование к стабилизации периода МФГ в ЦИ ПВК, чем выгодно отличается от прототипа, потому что появляется возможность его реализации на программируемой логической вентильной матрице.

В отображенном на рисунке 2.1 схеме цифрового (ЦИ) ПВК для определенности подключены четыре одинаковых ПВК (1...4).

В ЦИ ПВК первые объединенные входы всех четырех дополнительных ПВК присоединяются к входной клемме 5 старт – импульса, вторые объединенные входы – к входной клемме 6 стоп – импульса, в то время как третьи объединенные входы – к выходу образцового генератора импульсов (ОГИ) 7.

Цифровые выходы (ЦВЫХ) ПВК (1...4) соединяются с информационным входам соответствующих из РЕГ 8...11, ТВХ которых через элемент 12 задержки подключаются к клемме 6 стоп - импульса, а их ЦВЫХ – к соответствующим входам УУС 13.

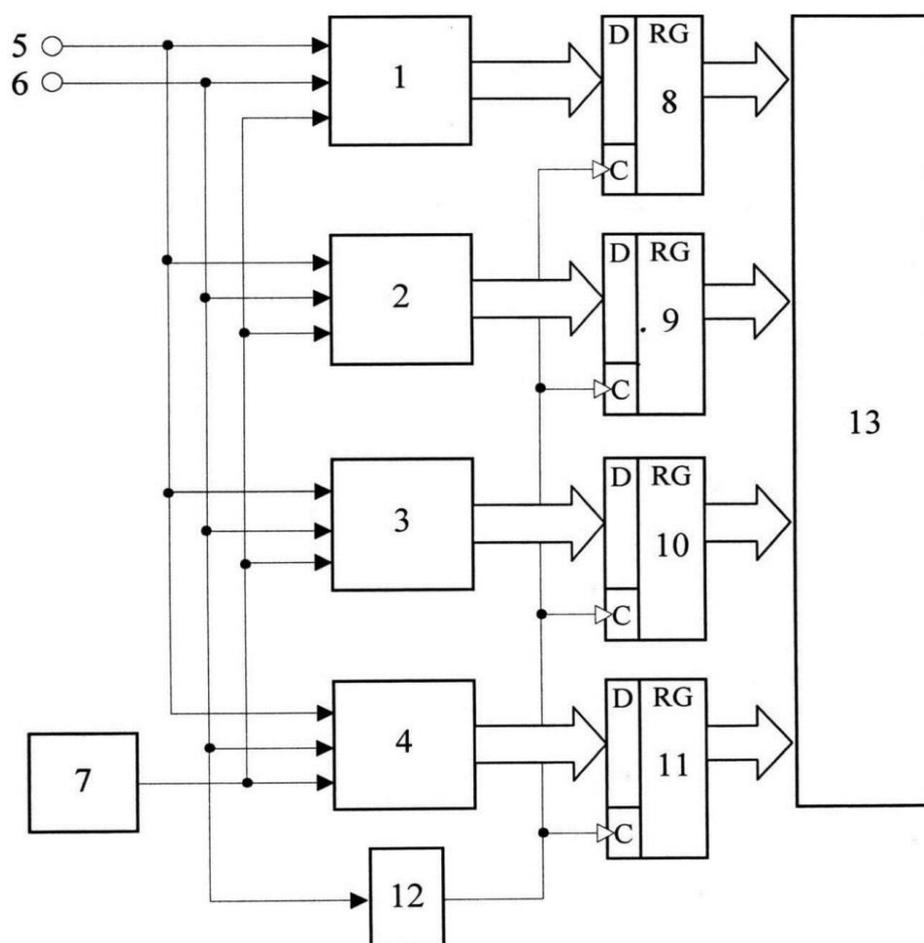


Рисунок 2.1 – Цифровой преобразователь время – код с повышенной точностью преобразования

В каждом из ЦИ ПВК (1...4) (рисунок 1.2) содержится МФГ 14, где множество их выходов присоединены к информационным входам первого 15 и второго 16 РЕГ, снабженные выходными ШИФ 17, 18.

ТВХ РЕГ соединяются соответственно с первым 19 и вторым 20 входами, представленного на рисунке 2.1 ПВК.

Один из выходов МФГ 14 соединяется с ТВХ первого 21 СИ и через делитель 22 частоты - с входом установки в ноль второго СИ 23, который своим ТВХ подключен к третьему входу 24 преобразователя. Многозарядные цифровые выходы (ЦВЫХ) первого 21 и второго 23 СИ подключаются к информационным входами третьего 25 и четвертого 26 РЕГ, а ТВХ третьего РЕГ 25 соединяются с ТВХ второго РЕГ 16, а ТВХ четвертого РЕГ 26 - с входом установки в ноль второго СИ 23.

Многозарядные цифровые выходы обоих ШИФ 17, 18, третьего 25 и четвертого 26 РЕГ подключаются к соответствующим цифровым входам АЛУ 27.

Причем множество выходов 28 АЛУ 27 является цифровым выходом всего составного ПВК (1...4).

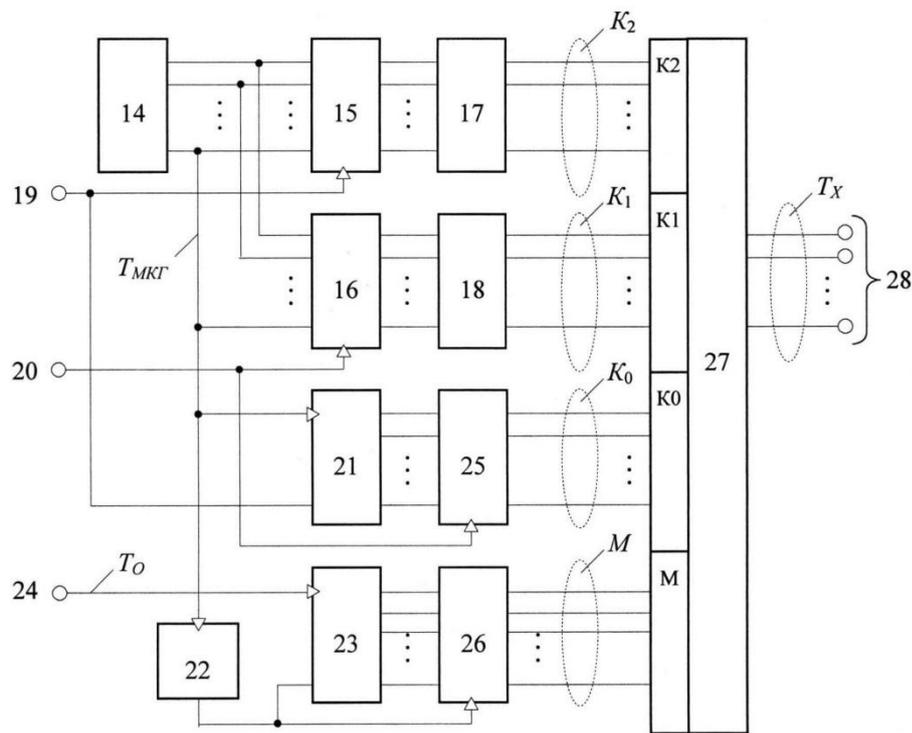


Рисунок 2.2 – Один из вариантов ПВК, входящего в составной ПВК

Для понимания принципов действия составного ПВК рассмотрим работу его основного ПВК, отображенного на рисунке 22.

Основное его отличие состоит в том, что в нем отсутствуют особые требования к точности и стабильности частоты следования импульсов МФГ 14, что существенно упрощает его техническое построение на программируемой пользователем вентильной матрице, например типа FPGA - Field Program mable Gate Array, где отсутствует возможность аналоговой подстройки частоты генерируемых импульсов.

Вместо какой либо стабилизации частоты колебаний ГОИ она непрерывно подвергается цифровому измерению с последующим его использованием при определении значения преобразуемого ВИ.

МФГ 14 постоянно генерирует на N своих выходах многофазные импульсные последовательности с периодом следования равным

$T_{\text{МКГ}} = 2Nt_D$, и смещенные друг относительно друга на время раннее t_D , а по фазе – на π/N (t_D - время задержки отдельного каскада МФГ).

Данные импульсы подаются на информационные входы (инфо - входы) первого 15 и второго 16 РЕГ, фиксирующие позиции этих сигналов на субшкале МФГ в виде термометрических кодов во время прихода сигналов начала и конца преобразуемого ВИ. И далее преобразуются в ШИФ 17 и 18 в двоичные числа K_2 и K_1 .

Данные числа - это количество квантов t_D ВРМ от начала периода следования импульсов МФГ и до моментов времени прихода сигналов начала и окончания преобразуемого ВИ и, соответственно, времена задержки указанных сигналов относительно начала периодов МФГ строго равны $K_2 t_D$ и $K_1 t_D$.

Кроме того, первый СИ 21, работа которого разрешается после прихода старт – импульса (начала ВИ) на вход 19, считает число K_0 импульсов МФГ 14, уложившихся во ВИ заключенный между старт – и стоп - импульсами.

По окончании длительности преобразуемого ВИ число K_0 записывается в РЕГ 25.

Данное число описывает продолжительность K_0 периодов импульсной последовательности МФГ равную $2K_0 N t_D$.

Следовательно, длительность преобразуемого ВИ становится равной

$$T_x = 2K_0 N t_D + K_1 t_D - K_2 t_D = (2K_0 N + K_1 - K_2) t_D \quad (1)$$

Чтобы найти значение t_D , входящее в (1), используют СИ с делителем частоты 22, непрерывно измеряющие период $T_{\text{МКГ}}$ импульсов МФГ 14. Делитель частоты 22 с коэффициентом деления равным D формируют импульсы вида «меандр» с полупериодами равной длительности

$$T_{\text{МКГ}}^* = DNt_D \quad (2)$$

В ходе одного полупериода второй СИ находится в сброшенном состоянии, а в течение второго полупериода заполняется импульсами ОГИ 7, подаваемыми на вход 24, достигая в каждом из вторых полупериодах состояния

$$M = \frac{T_{\text{МКГ}}^*}{T_0} = DNt_D/T_0 \quad (3)$$

Данное число, по окончании длительности преобразуемого ВИ, заносится в четвертый РЕГ 26. Из равенства (3) следует, что

$$t_D = MT_0/DN \quad (4)$$

Следовательно, на выходах ШИФ 17, 18 и РЕГ 25, 26 формируются числа K_0, K_1, K_2, M , поступающие далее на соответствующие входы АЛУ 27.

Который осуществляет вычисление значения преобразуемого ВИ согласно выражению (1), которое с учетом (4) имеет вид

$$T_x = (2K_0N + K_1 - K_2)t_D = \frac{M(2K_0N + K_1 - K_2)}{DN} T_0 \quad (5)$$

Аналогичным образом функционируют все n ПВК и по окончании длительности преобразуемого ВИ они формируют n независимых результатов $T_{x1}, T_{x2}, \dots, T_{xn}$.

В основной схеме устройства (рисунок 2.1) с задержкой ЭЗ 12, необходимой для вычислений в АЛУ 27, независимые результаты фиксируются в n РЕГ 8...11, напомним, что в приведенном на рисунке 1.2 примере $n = 4$. Далее они поступают на УУС 13, который формирует окончательный ЦР преобразования согласно следующего выражения

$$\tilde{T}_x = \frac{T_0}{nDN} \sum_{k=1}^n M_k (2K_{0k}N + K_{1k} - K_{2k}) \quad (6)$$

где K_{0k}, K_{1k}, K_{2k} - выходные числа k -го ПВК.

Благодаря усреднениям ЦР n преобразований одного и того же ВИ случайная погрешность преобразования уменьшается в \sqrt{n} раз.

Таким образом, для рассмотренного примера построения составного ПВК устройства с четырьмя дополнительными ПВК случайная погрешность преобразования уменьшается в два раза.

В рассмотренном устройстве можно достигнуть разрешения по ВРМ, существенно меньше времени задержки каскада МФГ, то есть задержки его логического вентиля.

3. Основные разновидности цифровых преобразователей временных интервалов с интерполяцией

3.1. Устройство цифрового преобразования временных интервалов на основе двух интерполяторов прямого кодирования

Принцип цифрового преобразователя ВИ (ЦП ВИ) между старт – и стоп - импульсами, обозначающих его начало и окончание, состоит в определении числа импульсов образцового генератора импульсов (ОГИ), поступающих в пределах данного интервала в счётчике импульсов (СИ). Общий недостаток подобных устройств заключен в низкой точности преобразования, которая равна периоду следования образцовых импульсов ОГИ [3,7-9].

Чтобы повысить точность ЦП ВИ, используются интерполирующие (ИП) устройства, формирующие дополнительные отсчеты времени в пределах образцового периода.

Основа таких устройств - мультифазный генератор импульсов (МФГ), который формирует на множестве своих выходов импульсы с образцовым периодом следования и оси времени на значение времени задержки одного своего каскада.

Применение общей совокупности импульсов МФГ равнозначно сокращению шага дискретизации до времени задержки его одного каскада.

При этом в таких устройствах необходима стабилизация периода следования импульсов МФГ.

Существует ЦП ВИ, содержащий ОГИ, где его выход подключен через логический вентиль И к счетному входу СИ, а оставшийся вход логического вентиля И соединен с выходом триггера (ТР), где его входы являются входами старт – и стоп – импульсов преобразователя.

Кроме этого, присутствует и подключенная к выходу ОГИ последовательная цепь из множества элементов задержки (ЭЗ), где выход каждого подключен к входу сброса соответствующего дополнительного ТР, где их число равно числу ЭЗ. Выходы всех дополнительных ТР соединяются с входами шифратора (ШИФ).

Преобразование стартует после установки в ноль СИ и ТР импульсным сигналом пуска, а оканчивается импульсным сигналом остановки преобразования.

Старшие разряды ЦР формируются на выходах СИ и определяют целое число образцовых периодов, уместившихся в преобразуемом ВИ, в то время как младшие разряды – на выходах ШИФ и описывают дробную часть образцового периода, то есть остаток от деления ВИ на образцовый период с дискретностью равной времени задержки ЭЗ.

Недостатком этого ПВК является высокая погрешность преобразования обусловленная с рассогласованием суммарной задержкой всех ЭЗ и периода следования импульсной последовательности ОГИ.

Тот же недостаток свойствен дифференциальному интерполятору ВРМ, осуществляющему пространственную развертку нониусного преобразования.

В ПВК включены две многоотводных линий задержки (ЛЗ), по которым перемещаются подлежащие преобразованию импульсные сигналы, а также и множество ТР, соединенных одноименными входами с соответствующим отводам соответствующих многоотводных ЛЗ.

Выходы всех ТР соединены с входами ПЗУ, который преобразует зафиксированный в триггерах термометрический код (ТМ – код) в двоичный код.

Существует также ЦП ВИ на основе МФГ, который всеми своими выходами подключен к выходам преобразователя.

В таком ПВК не возникает проблемы согласования, поскольку сам МФГ образуется многоотводными интерполирующими ЛЗ.

Однако в этом случае требуется стабилизации периода следования импульсной последовательности МФГ, а это несколько осложняет ПВК.

Среди аналогов наиболее близок по техническим возможностям к предлагаемому ПВК устройство [8,9].

Данный ПВК содержит МФГ, соединенный своими множественными выходами к соответствующим входам первого и второго РЕГ, выходы которых через соответственно первый и второй ШИФ подключены к первому и второму входам устройства вычитания (УВ).

Тактовый вход (ТВХ) первого РЕГ соединен с клеммой импульсного сигнала «Старт», а ТВХ второго РЕГ – с клеммой импульсного сигнала «Стоп» и первым входом ТР, выход которого подключен к ТВХ третьего РЕГ и входом установки в ноль СИ, выходы которого соединены с входами третьего РЕГ.

Недостатки устройства-прототипа:

- нестабильность периода МФГ (ограничена точность преобразования), опасность ошибки при счете полных образцовых периодов, так как время поступления импульсного сигнала «Старт» близко к моменту времени поступлению на СИ импульса МФГ;

- не имеет возможности быть выполненным на основе программируемых вентильных матрицах (ПВМ), которые не имеют аналоговых средств стабилизации периода следования импульсной последовательности МФГ.

Целью разработанного ЦП ВИ служит уменьшение погрешности преобразования и обеспечение его технического построения на основе ПВМ.

На рисунке 3.1 приведена функциональная схема цифрового преобразователя временных интервалов [5].

Здесь электрические соединительные линии связи, помеченные кривой чертой, являются многоразрядными цифровыми шинами.

Устройство включает в себя:

- 1 КГИ,

мультиплексор 2,
первый 3, второй 4 и третий 5 РЕГ, СИ 6,
первый 7 и второй 8 ШИФ,
устройство 9 вычитания,
ТР 10,
вентиль 11 ИСКЛЮЧАЮЩЕЕ ИЛИ,
ЭЗ 12,
клеммы 13 и 14 сигналов соответственно «Старт» и «Стоп»,
устройство контроля периода следования (УКП) 15 кольцевого МФГ,
АЛУ 16.

УКП 15 МФГ в одном из вариантов построения состоит из СИ 17 , опорного генератора импульсов 18 (ОГИ), РЕГ 19 и делителя 20 частоты, вход которого является входом УКП 15, а его выход служит выходом РЕГ 19. Цифровому преобразованию подлежит ВИ T_x , то есть время между импульсными сигналами «Старт» и «Стоп», подаваемым на клеммы соответственно 13 и 14.

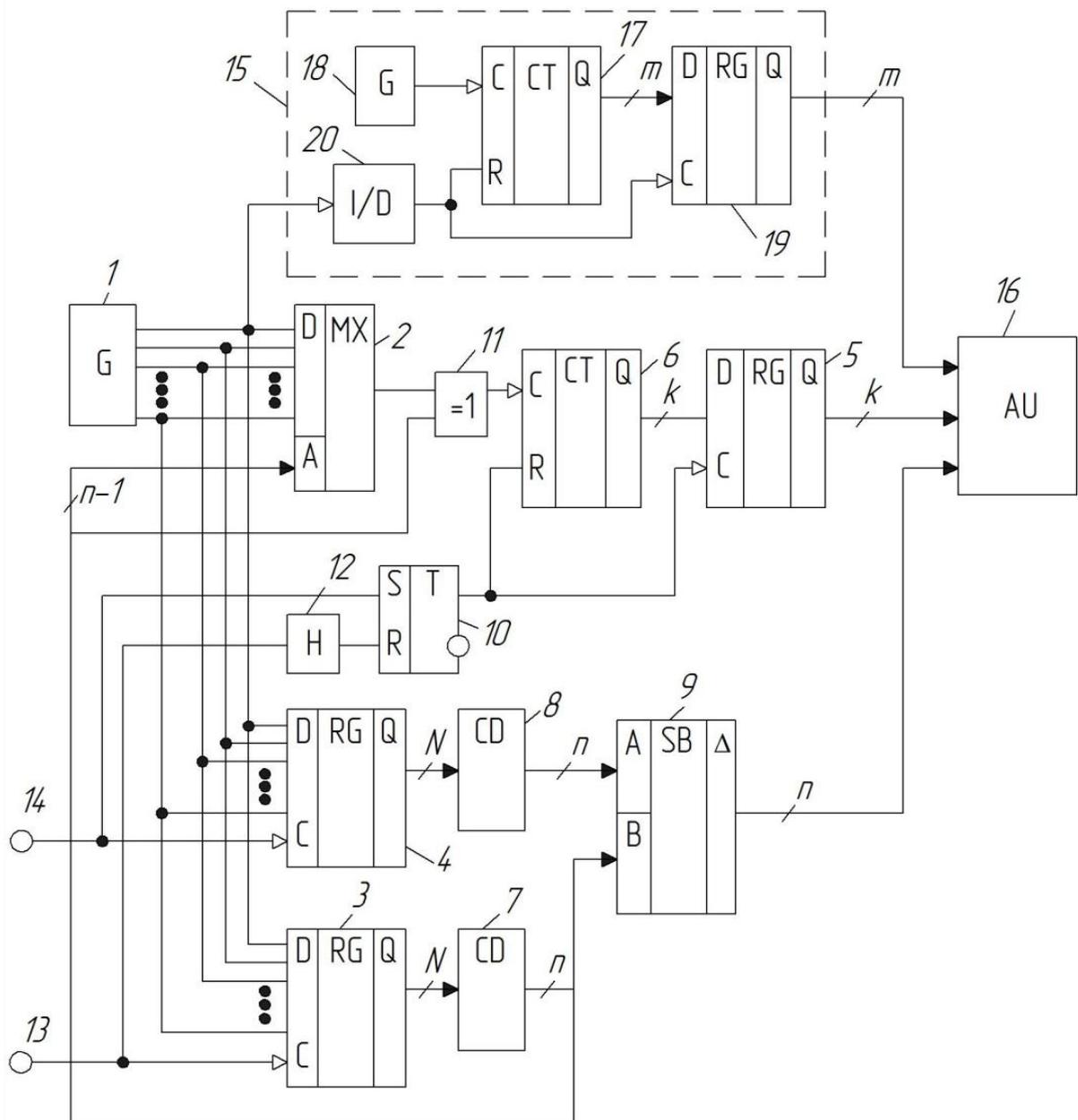


Рисунок 3.1 – Цифровой преобразователь временных интервалов

ЦПИ ВИ работает следующим образом.

МФГ постоянно формирует на своих N выходах последовательности импульсов в виде «меандра» и смещенных во времени друг относительно друга на время задержки его каскада t_D .

При этом период следования его импульсов равен

$$T_G = 2Nt_D$$

Импульсы с одного из выходов этого генератора поступают на вход УКР 15 МФГ, в котором их период следования посредством делителя частоты 20 увеличивается в D раз.

В итоге на входе R СИ 17 образуются импульсы с длительностью $T_R = DT_G/2$, равной паузе между ними.

В течение данного времени СИ 17 заполняется импульсами, следующими от опорного генератора импульсов (ОГИ) 18 и достигает величины

$$M = T_R/T_0 = DT_G/2T_0,$$

здесь T_0 - период следования импульсов ОГИ 18, которое запоминается в РЕГ 19. Таким образом, осуществляется постоянный контроль периода следования импульсной последовательности МФГ, который описывается как

$$T_G = \frac{2MT_0}{D}$$

Время задержки одного каскада МФГ, которое определяет размер дискретность преобразования, а следовательно и субкванта ЦП ВИ описывается выражением

$$T_D = \frac{MT_0}{ND} \quad (1)$$

При приходе импульсного сигнала «Старт» текущее состояние множества выходов МФГ в виде ТМ – кода заносится в первый РЕГ, а далее первым ШИФ преобразуется в двоичный код.

Зафиксированный в РЕГ ТМ – код имеет N разрядов и имеет форму 00...01...11, либо 11...10...00, которая зависит от того, распространяется ли по МФГ «волна» логических нулей или единиц.

Так как общее количество логических состояний выходов МФГ равно $2N$, то ШИФ сформирует число, которое состоит из n разрядов и равное

$$n = 1 + \log_2 N,$$

где дополнительный разряд (наличие единицы) отображает, какая «волна» продвигается в МФГ.

Только дополнительный разряд посредством вентиля ИСКЛЮЧАЮЩЕЕ ИЛИ определяет, в прямом или инверсном виде будет поступать выходной сигнал мультиплексора МХ 2 на счетный вход СИ 6, раздвигая этим шкалу отсчета момента времени поступления импульсного сигнала «Старт» внутри образцового периода следования импульсной последовательности МФГ.

С временной задержкой ЭЗ 12, необходимой для окончания переходных процессов переключения РЕГ 3, 4, ШИФ 3,4 и МХ 2, сигнал «Старт» 13 переключает ТР 10, который разрешает функционирование СИ 6,5.

На СИ 6 начинают поступать импульсы с того выхода и в той фазе (прямой или инверсной) МФГ, указанной выходным числом первого ШИФ. Что исключает фазовую неопределенность читаемых импульсов, то есть первый из них появляется почти через полный образцовый период МФГ после прихода импульсного сигнала «Старт». К моменту времени окончания преобразуемого ВИ, то есть когда на клемму 14 поступит импульсный сигнал «Стоп», состояние СИ 6 будет иметь значение

$$K = T_x / T_G.$$

При поступлении импульсного сигнала «Стоп» на клемму 14, ТР 10 возвращается в исходное состояние, счет образцовых импульсов с МФГ останавливается и логическое состояние СИ 6 переносится в третий РЕГ 5.

Одновременно с этим текущее состояние выходов МФГ запоминается вторым РЕГ 4 и преобразуется в двоичное число q вторым ШИФ 8.

То есть, происходит цифровая фиксация временного положения фронта сигнала «Стоп» внутри образцового периода следования импульсов МФГ.

Сформированные ШИФ 7 и 8 числа p и q строго равны количеству субквантов t_D , которые умещаются на ВИ с длительностью, равной промежутку времени от начала периода МФГ и до фронта соответствующего из импульсных сигналов.

Устройство вычитания 9 определяет разность чисел q и p , которая может иметь как положительное, так и отрицательное значения.

При выборе числа фаз МФГ кратным целой степени двойки ($N = 2^x$), то выход третьего РЕГ 5 и устройство вычитания 9 в совместной комбинации будут представлять соответственно старшие K и младшие $(q - p)$ разряды двоичного числа $[2KN + (q - p)]$, описывающих длительность преобразуемого ВИ единицах субквантов t_D

$$T_x = [2KN + (q - p)]t_D \quad (2)$$

В данное равенство входит и значение времени t_D задержки одного каскада МФГ, описываемого равенством (1).

В результате на входах арифметического логического устройства (АЛУ) 16 по окончании длительности преобразуемого ВИ оказываются следующие числа:

M - с выхода устройства 15 контроля периода МФГ 1;

K - с выхода регистра 5;

$(q - p)$ - с выхода устройства вычитания 9.

АЛУ 16 выполняет расчет длительности T_x преобразуемого ВИ по выражению

$$T_x = \left(2K + \frac{q-p}{N}\right) \frac{MT_0}{D} \quad (3)$$

3.2. Преобразователи временных интервалов в цифровой код с одиночной интерполяцией

Данный цифровой преобразователь (ЦП) длительности ВИ предназначается для использования в приборах преобразования временных параметров исследуемых процессов в цифровой код.

Его отличительная особенность, это простота технической реализации и повышенная точность преобразования за счет полного устранения погрешности преобразования, вызываемой нестабильностью периода импульсов на счетчик импульсов (СИ) [10-14].

Преобразователь содержит устройство развязки, линию задержки (ЛЗ), СИ, источники старт - и стоп-импульсов и схему И.

Существует огромное число ЦП временных интервалов (ВИ) в код. При этом широкое применение в вычислительно - измерительной технике находят ЦП, работа которых основывается на подсчете числа периодов следования импульсов от образцового генератора импульсов (ОГИ) за длительность преобразуемого ВИ.

Главная составная часть данного вида преобразователей – ОГИ и временные селекторы, работающие от источников - датчиков импульсов, характеризующие начало преобразуемого ВИ (старт-импульс) и его окончание (стоп – импульс).

Недостаток подобных ЦП ВИ ПВК заключается в том, что погрешность преобразования зависит от характеристик ОГИ, в частности от максимальной частоты генерируемых им импульсов, которые и задают его дискретность преобразования, а также и от степени стабильности данной частоты.

Чтобы уменьшить ошибки, определяемые дискретностью преобразования, необходимо уменьшать период следования импульсов ОГИ, что при больших значениях длительности преобразуемых ВИ требует

применение счетчиков импульсов (СИ) с большой информационной емкостью.

При малом значении длительности преобразуемого ВИ аппаратное построение ОГИ с малым значением периода следования, что необходимо для достижения заданной точности преобразования, и с малой длительностью вызывает существенные технические трудности.

Например, в случае преобразовании длительности ВИ, меньше одной микросекунды, с точностью не менее 0.1% необходимо использование ОГИ с длительностью импульсов менее одной наносекунды и с периодом их следования 10^8 импульсов в секунду.

Указанный выше недостаток преодолен в устройстве [12], наиболее близкий по технической сущности к ЦП ВИ, который будет рассмотрен ниже.

Данное устройство содержит ОГИ, датчики старт - и стоп - импульс, временной селектор, управляемый триггер (ТР), запускаемым от источников старт - и стоп – импульсов, а также СИ, соединенный с выходом временного селектора (ВС).

А для уменьшения погрешности дискретности преобразования, в устройство введена многоотводная ЛЗ, вход которой соединен с выходом ВС, а выходы – с первыми входами схем И, на вторые входы которых подается управляющий импульсный сигнал с выхода триггера (ТР).

Длительность преобразуемого ВИ в известном ЦП по окончании его описывается следующим выражением

$$T = mt_0 + n\Delta t,$$

где

T – длительность преобразуемого ВИ;

t_0 - период следования импульсов ОГИ;

m – число импульсов, зафиксированных счетчиком импульсов (СИ);

Δt - время задержки в одной секции многоотводной ЛЗ;

n – порядковый номер сработавшей схемы И.

Таким образом, погрешность преобразования обусловлена только ее дискретностью и устанавливается временем задержки одной секции многоотводной ЛЗ и имеется возможность на порядок уменьшить его по сравнению с периодом следования импульсов ОГИ.

Однако влияние на точность преобразования нестабильности периода следования ОГИ остается существенным.

Для повышения стабильности ОГИ требуется его усложнение, а также применение дорогостоящих кварцевых резонаторов.

Задача, на решение которой направлено изобретение - упрощение устройства и повышение точности преобразования за счет исключения ошибки преобразования, причина которой - нестабильность частоты следования импульсов ОГИ.

На решению поставленной задачи, в виде повышения точности преобразования, ориентирован ниже рассматриваемый ЦП ВИ.

Цифровой преобразователь ВИ с однократной интерполяцией содержит ОГИ, временной селектор (ВС), источники старт- и стоп - импульсов, многоотводную линию задержки (ЛЗ) и счетчик импульсов (СИ).

В ЦП, выход источника старт - импульса соединяется через многоотводную ЛЗ с первыми входами схем И.

В то же время выход многоотводной ЛЗ через дополнительно введенное устройство развязки подключается к ее входу и к счетному входу СИ.

Вторые входы схем И и вход остановки СИ напрямую подключены к выходу источника стоп - импульса.

Благодаря таким соединениям исключается потребность в управляющем ТР, ВС и самом ОГИ, роль которых в предлагаемом ЦП ВИ с однократной интерполяцией играет старт - импульс, циркулирующий в многоотводной ЛЗ благодаря наличию обратной связи (ОС) ее выхода со своим входом.

Погрешность преобразования, из – за нестабильности ОГИ, в рассмотренном ЦП ВИ исключается, а сам он существенно упрощается.

Широко известно, что нестабильность периода следования ОГИ в основном зависит от нестабильности питающего его напряжения.

В предлагаемом цифровом преобразователе ВИ с однократной интерполяцией ОГИ не используется, а многоотводная ЛЗ представляет собой пассивное устройство, не использующий источники электрического питания, и следовательно, ее характеристики не зависят от нестабильности питающего напряжения.

То есть введение дополнительного блока развязки и изменение электрических связей в ЦП ВИ с однократной интерполяцией исключает необходимость в применении ОГИ, а также в управляющем ТР и ВС.

Единственный дополнительно введенный элемент, это устройство развязки, техническое выполнение которого не вызывает трудностей.

На рисунке 3.2 приведена функциональная схема цифрового преобразователя ВИ с однократной интерполяцией, а на рисунке 3.3 приводятся временные диаграммы (ВД), поясняющие его работу.

Входы устройства, это входы источников старт – и стоп – импульсов соответственно 1 и 2, которые их формируют соответственно в моменты времени начала и конца преобразуемого ВИ.

Выход источника старт – импульса 1 через отводы многоотводной ЛЗ 3 подключен к первыми входами схем И 4.

В то время как выход источника стоп – импульса подключается к вторым входами схем И 4, а также и к входу установки в ноль счетчика импульсов 5 (СИ 5).

В то же время последний отвод многоотводной ЛЗ 3 соединяется со счетным входом СИ 5 и через блок развязки 6 со своим входом.

Выходы схем И 4 и СИ 5 образуют выход ЦП ВИ с однократной интерполяцией.

С целью пояснения динамики работы предлагаемого ЦП на рисунке 3.3 приводятся его ВД.

ВД 7 отображает расположение длительности преобразуемого ВИ между старт – импульсом 8 и стоп – импульсом 9.

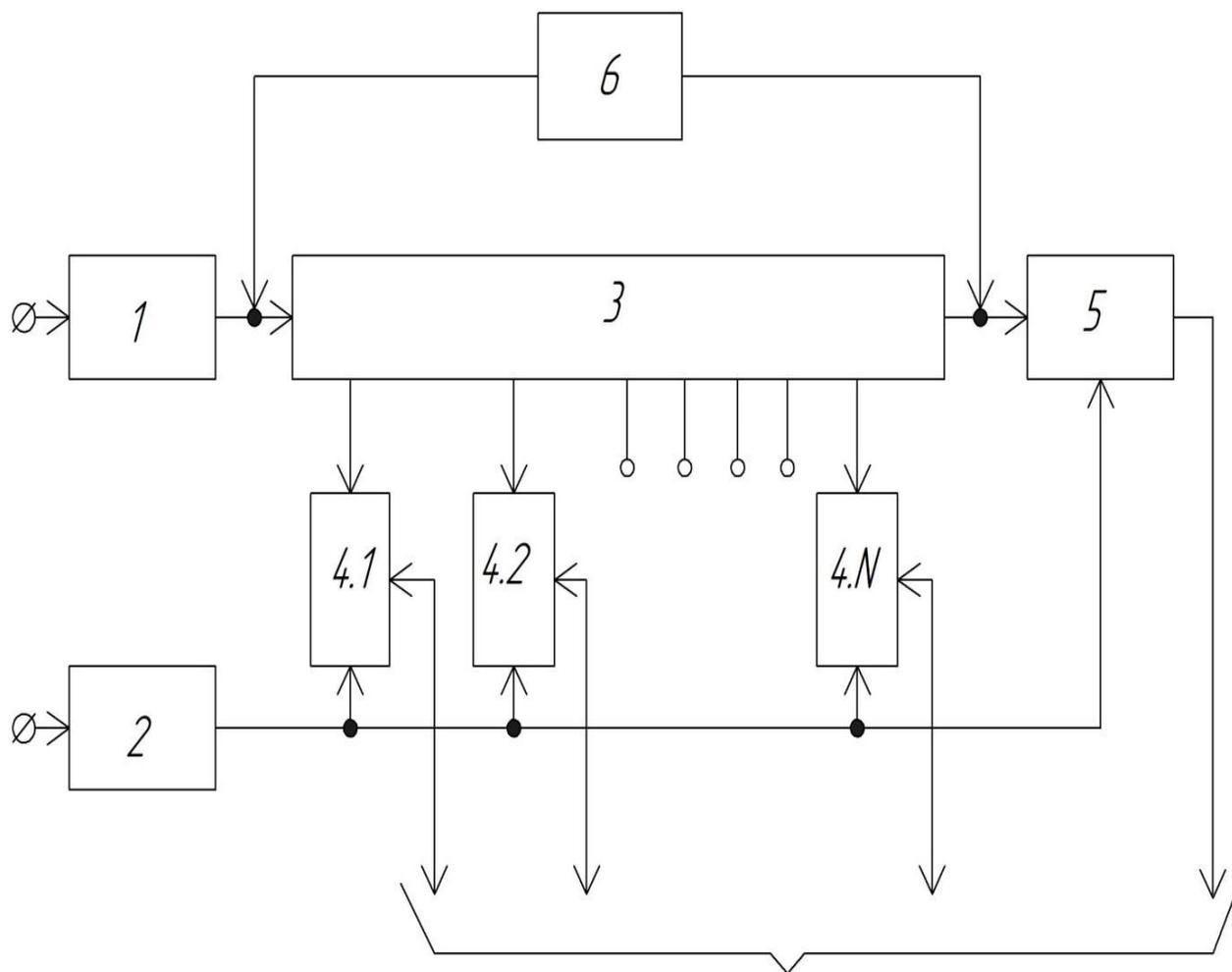


Рисунок 3.2 – Цифровой преобразователь ВИ с однократной интерполяцией

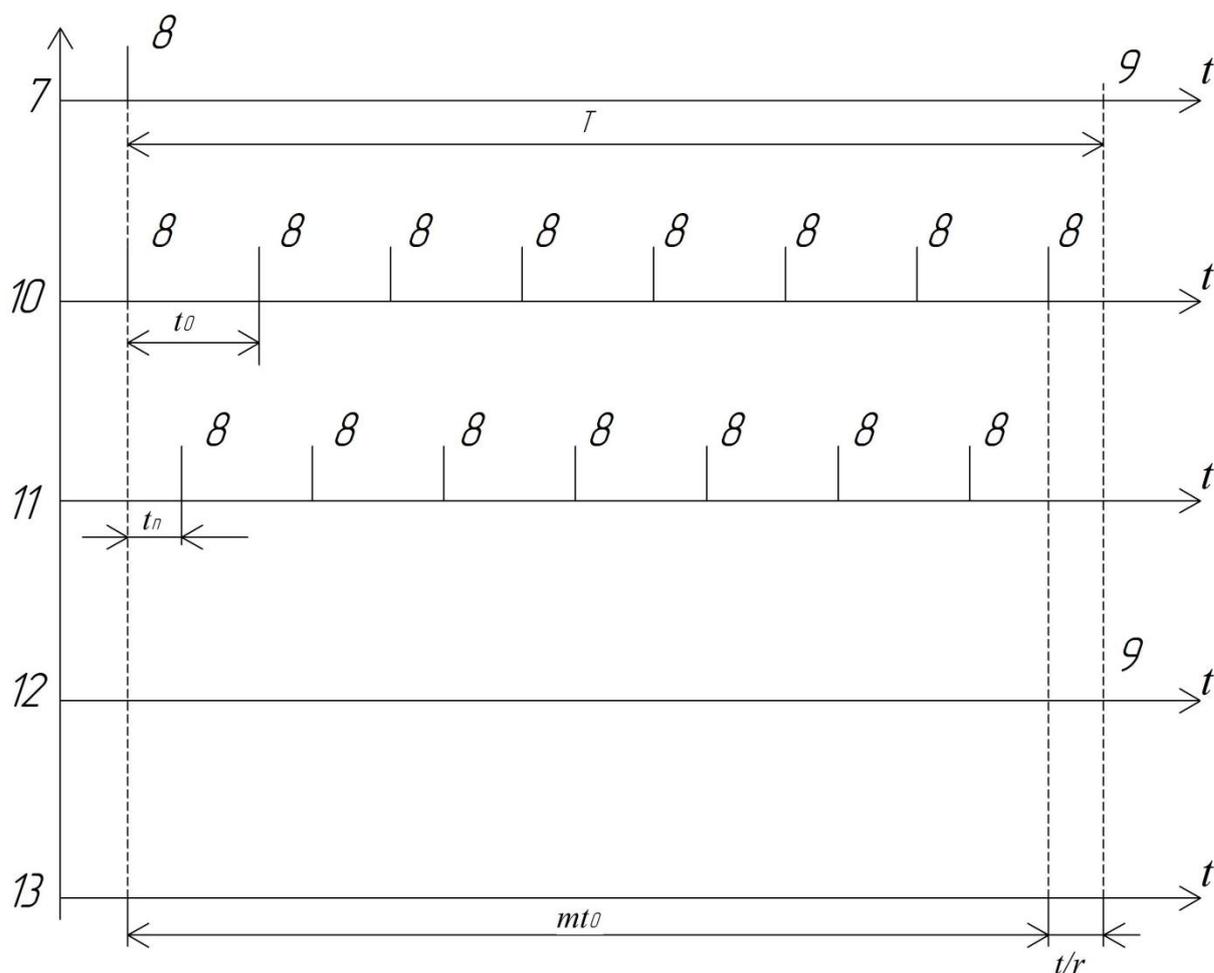


Рисунок 3.3 – ВД работы цифрового преобразователя ВИ с однократной интерполяцией

ВД 10 отображает импульсную последовательность старт - импульсов 8 на входе многоотводной ЛЗ 3, которая формируется в рециркуляторе, который в свою очередь образован элементами 3 и 6.

Причем ВИ между импульсами данной последовательности равны времени задержки t_0 старт – импульса в многоотводной ЛЗ 3.

Временная диаграмма 11 характеризует эту же рециркулирующую импульсную последовательность, но на первом входе одной из схем И, которая подключена к одному из промежуточных отводов многоотводной ЛЗ 3.

Временной сдвиг этой последовательности t_n относительно начала отсчета, то есть от момента времени появления старт – импульса, определяется позиционным номером промежуточного отвода многоотводной ЛЗ.

На ДГМ 12 изображен стоп – импульс 9 на втором входе той же схемы И, а на ВД 13 импульс совпадения на выходе этой схемы И, несущий информацию о позиционном номере схемы И, на которой произошло совпадение стоп - импульса 9 и старт – импульса, задержанным на общее время равное

$$T = mt_0 + t_n = mt_0 + n\Delta t,$$

где m – количество импульсов на входе многоотводной ЛЗ 3, которые образовались посредством рециркуляции в ней старт - импульса 8;

t_0 - полное время задержки в многоотводной ЛЗ 3;

Δt – время задержки секции многоотводной ЛЗ 3;

n – позиционный номер сработавшей схемы И.

С целью пояснения динамики работы представляется целесообразным задать конкретные параметры многоотводной ЛЗ -- t_0 и Δt и проследить процесс преобразования наперед заданной длительности ВИ.

Предположим, что длительность преобразуемого ВИ $T = 8,4$ мкс, полное время задержки в многоотводной ЛЗ 3 $t_0 = 1$ мкс, число отводов многоотводной ЛЗ 3 равно $N = 10$, а время задержки в каждой из секций многоотводной ЛЗ 3 $\Delta t = 0,1$ мкс.

Старт – импульс 8 поступает на вход многоотводной ЛЗ 3 и через время $t_0 = 1$ мкс оказывается на ее выходе, фиксируется СИ 5 и через устройство развязки 6 вновь поступает на вход многоотводной ЛЗ 3.

Через промежуток времени равным $2t_0 = 2$ мкс вновь появляется на выходе многоотводной ЛЗ 3 и фиксируется СИ 5 и так далее.

При установленных загодя параметрах многоотводной ЛЗ 3 и длительности преобразуемого ВИ, данный процесс рециркуляции повторится 8 раз (см. рисунок 3.3, ВД 10).

На девятой рециркуляции на одной из схем И, а в данном случае -- четвертой схеме И, подключенной к четвертому отводу многоотводной ЛЗ 3, на котором время задержки равно

$$t_n = n\Delta t = 4 \times 0,1 = 0,4 \text{ мкс}$$

В итоге происходит совпадение старт – импульса 8, проходящий по многоотводной ЛЗ в девятый раз, со стоп – импульсом 9, поступившим в этот момент времени на второй вход четвертой схемы И.

При этом стоп – импульс 8 останавливает и работу СИ 5, который уже подсчитал 8 импульсов рециркуляции старт - импульса, и выдал значение целой части преобразуемого ВИ T .

Поступивший с выхода четвертой схемы И импульс отображает информацию о позиционном номере сработавшей схемы И.

И одновременно характеризует дробную часть длительности T преобразуемого ВИ, в нашем примере 0,4 мкс.

Таким образом, на выходе ЦП ВИ с однократной интерполяцией создается цифровой код, состоящий из двоичного кода числа 8 в СИ 5 и позиционного кода числа 0,4 на выходах схем И.

При желании к выходам схем И 4 и СИ 5 можно подключить шифратор, который будет преобразовывать позиционный код схем И в двоичный код, что позволит отображать общий цифровой результат преобразования в виде двоичного кода.

Для успешного функционирования преобразователя необходимо, чтобы старт - и стоп – импульсы обладали длительностью τ , соответствующей

$$\Delta t \approx \tau < \delta t,$$

где δt - максимальная погрешность преобразования;

Δt – время задержки в каждой секции многоотводной ЛЗ 3.

После фиксации совпадения рециркулирующего старт - импульса со стоп – импульсом в одной из схем И, он погашается на малом входном сопротивлении открытой схемы И и соответственно, рециркуляция старт – импульса останавливается.

Таким образом, цифровой результат преобразования длительности преобразуемого ВИ будет равен

$$T = mt_0 + n\Delta t,$$

где m - показания СИ 5;

а n – позиционный номер сработавшей схемы И.

Простейший вариант технической реализации устройства развязки 6 - диод, который осуществляет одностороннее прохождение (рециркуляции) импульсов с многоотводной ЛЗ 3 на ее вход.

Однако из-за снижения амплитуды старт - импульса при каждой рециркуляции данный вариант может использоваться только при небольшом числе его рециркуляций.

По этой причине предпочтительнее построение устройства развязки 6 на основе усилительного устройства, в котором его коэффициент усиления компенсирует уменьшение амплитуды рециркулирующего старт - импульса, или в виде ждущего генератора одиночных импульсов, который запускается выходными импульсами многоотводной ЛЗ 3 и вырабатывающий одиночный импульс параметрами, аналогичными параметрам старт - импульса.

Вместе с данными вариантами могут быть применены и другие варианты выполнения устройства развязки.

3.3. Цифровые преобразователи временных интервалов с двойной интерполяцией рециркуляционного типа

ЦП ВИ относится к радиоизмерительной технике и может быть использовано для цифровых преобразователей временных интервалов.

Известно устройство, позволяющее цифровое преобразование ВИ, и содержащий генератор, линию задержки (ЛЗ) и логические схемы (ЛС).

Это известное устройство требует большого объема используемого оборудования [4,15,16]

Известно так же устройство дискретного измерения ВИ, содержащее два элемента И, формирователь, триггер (ТР), и два элемента задержки (ЭЗ), причем выход одного из них подключен к первому входу первого элемента И, а выход второго элемента И подключен к первому входу элемента ИЛИ 2 [17,18].

Известное устройство имеет незначительную область использования, большой объемом аппаратурных затрат и узким диапазоном преобразования ВИ, а также трудностью технической реализации большой временной задержки с высокой точностью, что приводит к увеличению погрешности преобразования.

Достоинством рассматриваемого преобразователя является его повышенная точность ВИ, что обеспечивается тем, что он дополнительно содержит схему ИЛИ и реверсивный счетчик (РСИ).

Причем первый вход второй схемы И, знака определяющие входы младших и старших разрядов РСИ и вход формирователя соединен с входом устройства, а выход формирователя подключен к первому входу ТР, второй вход которого соединен со вторым входом второй схемы И и входом импульсов образцовой импульсной последовательности.

А выход ТР соединен со вторым входом дополнительной схемы ИЛИ, к выходу которого параллельно подключены два ЭЗ, выход второго ЭЗ подключен ко второму входу первой схемы И, а выход первой схемы И

подключен к первому входу дополнительной схемы ИЛИ и к счетным входам младших разрядов РСИ, выход которого соединен со второму входу схемы ИЛИ, а ее выход – к счетному входу старших разрядов РСИ.

На рисунке 3.4 показана функциональная данного цифрового преобразователя (ЦП) ВИ, а на рисунке 5.2 – эпюры напряжения в характерных его точках.

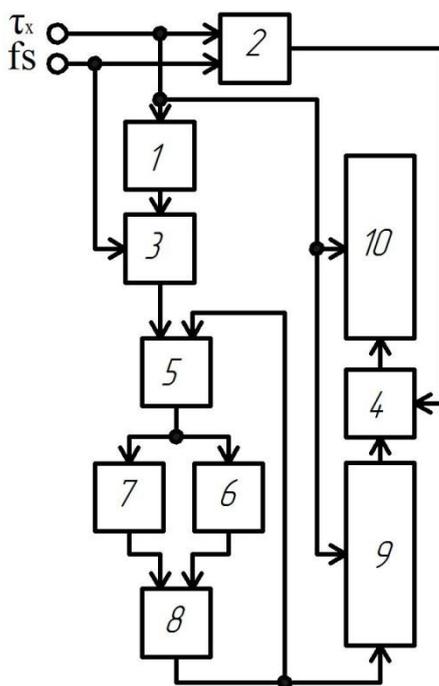


Рисунок 3.4 – Цифровой преобразователь ВИ

ЦП ВИ в своем составе ВИ имеет формирователь 1, схему И 2, триггер 3, две схемы ИЛИ 4 и 5, ЭЗ 6 и 7, схему И 8, РСИ 9 (младшие разряды) и РСИ 10 (старшие разряды).

Преобразуемый ВИ длительностью τ_x (см. рисунок 5.2,а) поступает на выходы формирователя 1, схема И 2 и в качестве знака определяющего сигнала – на все разряды РСИ, причем при отсутствии сигнала τ_x разряды РСИ работают в режиме вычитания, а при наличии τ_x – в режиме суммирования.

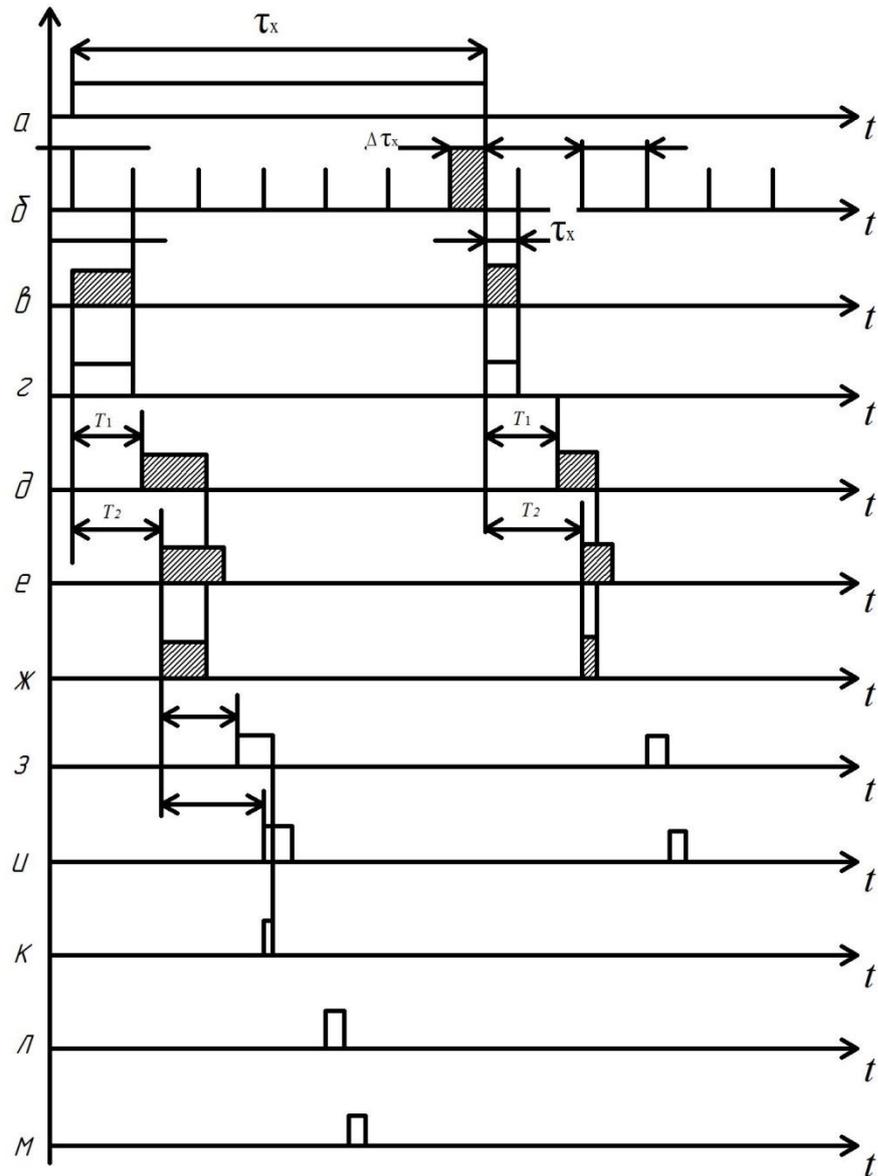


Рисунок 3.5 – Эпюры напряжений ЦП ВИ в характерных его точках.

Измеряемый интервал ВРМ τ_x (см. рисунок 3.5,а) поступает на выходы формирователя 1, схема И 2 и в качестве знакоопределяющего сигнала – на все разряды РСИ, причем при отсутствии сигнала τ_x разряды РСИ работают в режиме вычитания, а при наличии τ_x – в режиме суммирования.

Через схему И, открытый Преобразуемым ВИ интервалом и схему ИЛИ импульсы образцовой импульсной последовательности t_0 (см. рисунок 3.5,б)

подаются на вход старших разрядов РСИ, который считает число N образцовых импульсов, попавших в ВИ длительностью равной τ_x , который описывается равенством

$$\tau_x = \frac{N}{f_0} = NT_0.$$

Неопределенность в расположении преобразуемого ВИ относительно образцовых импульсов приводит к двум погрешностям в его преобразовании.

Первая из них $\Delta\tau_1$ (рисунок 3.5,б) имеет положительное значение, так как преобразуемый ВИ больше фактического, а вторая $\Delta\tau_2$ (рисунок 3.5,б) – отрицательное значение, в виду того, что из-за нее он получается меньше фактического.

Таким образом, значение длительности преобразуемого ВИ имеет значение

$$\tau_x = NT_0 - \Delta\tau_1 + \Delta\tau_2.$$

Значение погрешностей $\Delta\tau_1$ и $\Delta\tau_2$ нетрудно описать как

$$\Delta\tau_1 = T_0 - \tau_1 \tag{1}$$

$$\Delta\tau_2 = T_0 - \tau_2$$

тогда учитывая (1) можно показать, что

$$\tau_x = NT_0 - T_0 + \tau_1 + T_0 - \tau_2 = NT_0 + \tau_1 - \tau_2$$

То есть для уточнения цифрового результата, записанного в старших разрядах РСИ, необходимо к нему прибавить величину τ_1 и вычесть из него величину τ_2 .

Для этого формирователь 1 вырабатывает два коротких импульса (рисунок 3.5,в), которые соответствуют переднему и заднему фронтам преобразуемого ВИ.

Импульс, соответствующий переднему фронту, поступает на ТР 3 и устанавливает его в состояние логическая единица, а в исходное состояние

ТР возвращается очередным импульсом образцовой импульсной последовательности (рисунок 3.5,б, в, г).

С выхода триггера 3 ВИ τ_1 подается на вход схемы ИЛИ, к выходу которой подключены два ЭЗ.

Время задержки T_1 элементам 6, меньше времени задержки T_2 , создаваемого элементом 7, на величину равную ΔT .

Причем время T_1 выбирается больше периода следования T_0 образцовой импульсной последовательности.

С выхода элементов 6 и 7 на входы схемы И приходят импульсы длительностью τ_1 , но сдвинутые относительно друг друга на время ΔT (рисунок 3.5,д, е).

С выхода схемы И импульс длительностью равной $\tau_1 - \Delta T$ (рисунок 3.5,ж) подается на счетный вход младших разрядов РСИ, который работает в режиме суммирования и на второй вход схемы ИЛИ.

Далее процесс рециркуляции происходит до тех пор, пока длительность рециркулирующего импульса не станет меньше величины ΔT (рисунок 3.5,з, и, к). При этом длительность ВИ τ_1 описывается как

$$\tau_1 = N_1 \times \Delta T,$$

где N_1 – число рециркуляций.

По окончании преобразуемого ВИ формирователь 1 формирует еще один короткий импульс (рисунок 3.5,в), который, поступая на вход ТР, устанавливает его в состояние логической единицы (рисунок 3.5,г).

В исходное состояние ТР переключается очередным импульсом образцовой импульсной последовательности. С выхода ТР импульс по длительности равный τ_2 , подается на вход схемы ИЛИ.

Начинается процесс рециркуляции импульса τ_2 в рециркуляторе, состоящем из схемы ИЛИ, элементов 6 и 7, схемы И и ИЛИ, причем в каждой рециркуляции длительность импульса τ_2 уменьшается на величину ΔT .

Так как преобразуемы ВИ длительностью τ_x закончился, то все разряды РСИ работают в режиме вычитания. То есть поступающие на счетный вход младших разрядов реверсивного счетчика импульсов, уменьшают ранее записанный в нем код на величину N_2 , где N_2 – количество циклов, который совершает импульс τ_2 при сокращении его длительности в каждой рециркуляции на значение равное ΔT .

По окончании процесса рециркуляции (рисунок 3.5,ж) в разрядах РСИ фиксируется цифровой код, пропорциональный длительности преобразуемого ВИ

$$\tau_x = NT_0 + \Delta T(N_1 - N_2).$$

В случае, если длительность $\tau_1 < \tau_2$, то при работе РСИ 10 в режиме вычитания произойдет уменьшение показания N его старших разрядов на одну единицу.

При этом повышение точности обеспечивается уменьшением значения величины ΔT , что не вызывает повышения объема аппаратурных затрат и каких либо трудностей при практической реализации рассмотренного цифрового преобразователя.

4. Повышение точности фиксации совпадений в цифровых преобразователях временных интервалов с одной и двойной интерполяцией

Устройства фиксации совпадений в ЦП ВИ с интерполяцией, обеспечивают расширение динамического диапазона преобразуемых ВИ, за счет уменьшения временного разрешения [19,20].

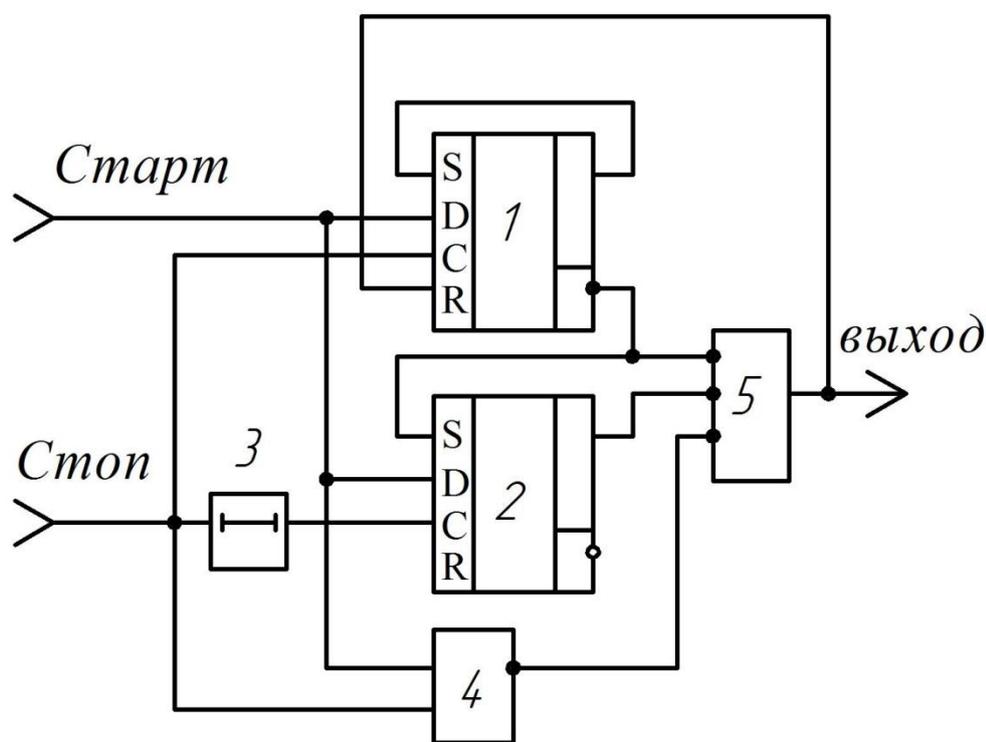


Рисунок 4.1 – Дискриминатор выделения совпадений для ИП ПВК

На рисунке 4.1 рассмотрена функциональная схема дискриминатора, а на рисунках 4.2 и 4.3 - временные диаграммы (ВД) его работы. Дискриминатор содержит первый 1 и второй 2 D - триггер (ТР) 2, линию 3 задержки (ЛЗ), элемент И-НЕ 4 и схему НЕ-И 5.

D-входы ТР 1 и 2 соединяются со старт - входом (Старт) и первым входом схемы И-НЕ 4, второй вход которой подключается со стоп - входом (Стоп) устройства, а С-входов первого D -ТР 1 через ЛЗ 3 соединяется с С-входом второго D-ТР 2.

Прямой выход первого D-ТР 1 подключен к его же S - входу, а инверсный выход - к первым входом схемы НЕ-И 5 и S-входом второго D-ТР 2, прямой выход которого соединяется со вторым входом схемы НЕ-И 5, третий вход которого подключается к выходу схемы И-НЕ 4, а выход - к R-входу первого D -ТР 1 и образует выход устройства.

Техническая реализация дискриминатор возможна на микросхемах серии К500.

Принцип работы устройства следующий.

Допустим период следования старт - импульса больше периода следования стоп - импульса (рисунок 4.2, а, б).

В начальный момент времени D-ТР 1 установлен в состояние логического нуля, а D-ТР 2 – в состояние логической единицы (рисунок 4.2, в - д). Как только передний фронт стоп – импульса попадет на единичный уровень старт - импульс, первый D-ТР 1 переключается в состояние логической единицы (рисунок 4.2 в, г). И дискриминатор подготовлен к фиксации совпадения фронтов, так как разрешен переход второго D-ТР 2 в состояние логической единицы.

По окончании несколько периодов, фронт стоп – импульса будет отставать от фронта старт - импульса на минимальное время перекрытия, но еще достаточно для того, чтобы первый D-ТР 1 сохранял состояние логической единицы.

При этом посредством ЛЗ 3, фронт стоп - импульса оказывается на С - входе второго D - ТР 2 в то время, когда на его D - входе присутствует логический ноль, и D-ТР 2 переключается в состояние логического нуля (рисунок 4.2,д).

Так как старт - и стоп – импульсы в это же время находятся на обоих входах схемы И - НЕ 4, на ее выходе будет присутствовать логический ноль (рисунок 4.2,е).

Следовательно, на входах схемы НЕ-И 5 присутствуют логические нули, и на его выходе формируется единичный импульс (рисунок 4.2,ж), сбрасывающий D-ТР 1, который переключает в свою очередь D-ТР 2 в состояние логической единицы (рисунок 4.2, в, г).

При этом длительность выходного импульса определяется задержками распространения D-ТР 1 и 2 и схемы НЕ-И 5.

Необходимая задержка линии 3 определяется выражением

$$t_3 = \tau_p + \Delta t_u,$$

здесь Δt_u - разность необходимых времен перекрытия для ТР 1 и 2, причем эта разность должна иметь положительное значение.

С целью понижения значения Δt_u триггеры для дискриминатора следует выбирать в составе одной микросхеме.

Наличие в счетной серии большого количества импульсов свидетельствует о неверно подобранной ЛЗ 3.

Высокое временное разрешение обеспечено крутой характеристикой переключения D-ТР, на которых собрана схема, а малое разрешающее время достигнуто схемным решением. До совпадения дискриминатор имеет характеристику задержанных совпадений, определяемую ТР 1.

После срабатывания ТР 1, работающий как ячейка памяти, запоминающая фазовое состояние старт- и стоп- импульсов, предшествующее совпадению, кривая задержанных будет определяться ТР 2. Узкая область перекрытия данных характеристик и определяет малое разрешающее время дискриминатора, около 10 пс.

Такое временное разрешение достигается применением дифференциальной схемы совпадений, выполненной на D-ТР.

Однако данные схемы, имеют узкую характеристику задержанных совпадений в пикосекундной области, что является чувствительным к фазовым отклонениям фронтов совпадающих старт - и стоп - импульсов Δt_{φ} .

Если $\Delta t_{\varphi} \gg \tau_p$, то дискриминатор выделяет совпадения с малой степенью вероятности, то есть непригоден для использования в ЦП ВИ. Предлагаемый дискриминатор независим от фазовых отклонений фронтов совпадающих импульсов, в виду того, что в каждый отдельный временной момент он обладает характеристикой задержанных совпадений одного из ТР $\tau_{Тр} \gg \tau_{\varphi}$.

Выполнение условия $\Delta t \ll t_u$ обеспечивает расширение динамического диапазон длительностей преобразуемых ВИ при сохранении высокого точности преобразования [20,21].

Назначение элемента И - НЕ 4 иллюстрирует ВД (рисунок 4.3), на котором показан процесс выделения совпадений при присутствии фазовых нестабильностей старт - и стоп – импульсов.

Точки на шкале стоп – импульс демонстрируют временное положение импульсов, свойственные идеальному случаю без фазовых нестабильностей. Отклонения стоп – импульса от идеального расположения ведет к удвоенному срабатыванию ТР 2, при этом срабатывание на 3- м стоп – импульсе (рисунок 4.3) является неправильным, так как в этот момент времени отсутствуют совпадения фронтов старт - и стоп - импульсов.

В случае отсутствия схемы И - НЕ 4, в это время происходило бы выделение совпадения и преобразуемый ВИ был бы зафиксирован с большой погрешностью.

Схема И - НЕ 4 обеспечивает запрет ложных срабатывания дискриминатора при присутствии фазовых нестабильностей старт - и стоп – импульсов во время их перекрытия. Реальные фазовые нестабильности генераторов ЦП ВИ имеют погрешность преобразования не более одного импульса.

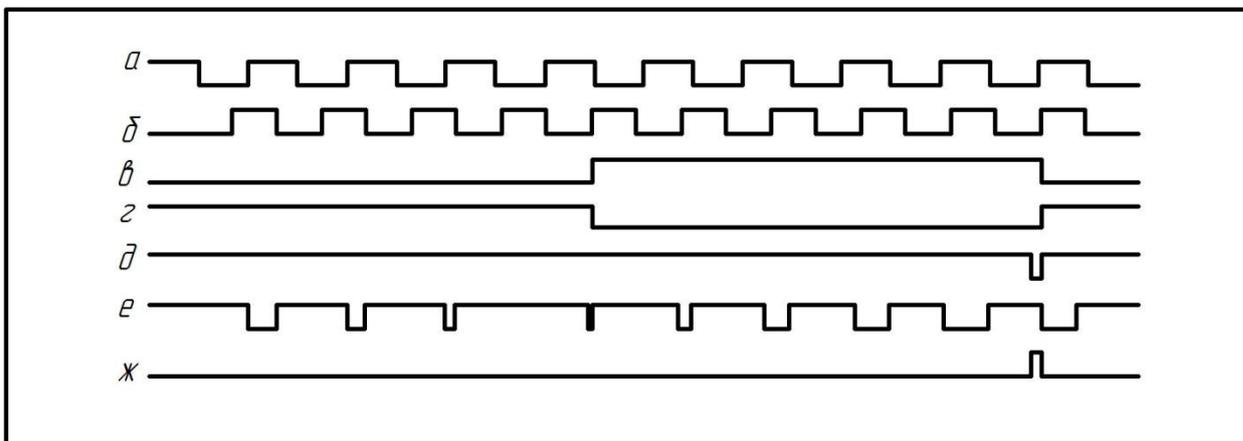


Рисунок 4.2 – ВД работы дискриминатора совпадений

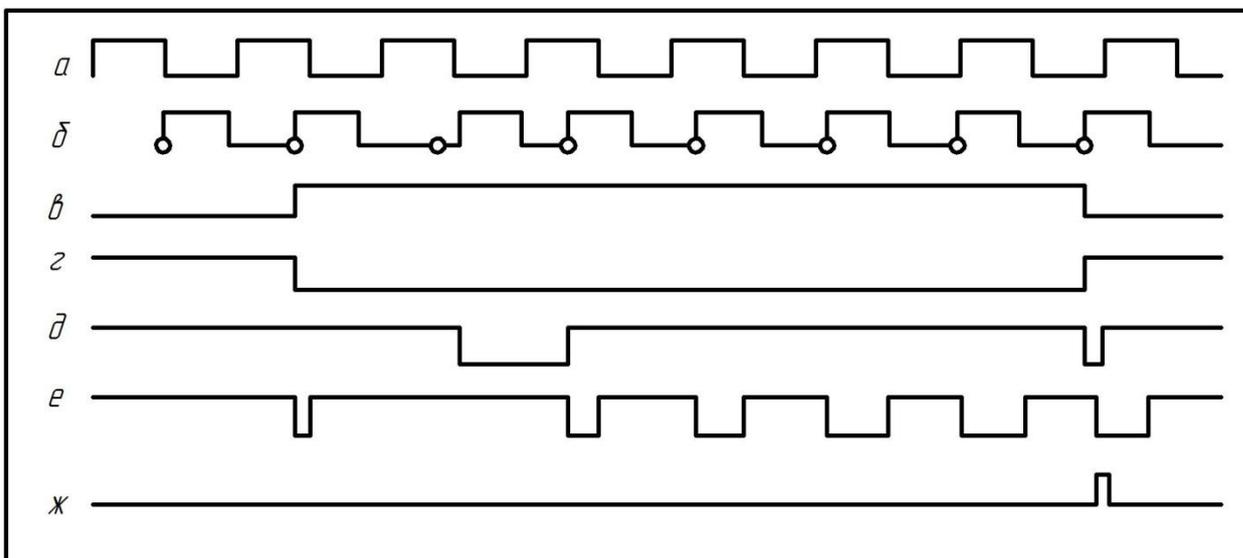


Рисунок 4.3 – ВД работы элемента И-НЕ 4

Заключение

В бакалаврской работе рассмотрены основные принципы одиночной и двойной интерполяции временных интервалов (ВИ). И несколько разновидностей цифровых преобразователи (ЦП) ВИ с одиночной и двойной видами интерполяции и интерполяторами хронотронного и рециркуляционного типов.

Установлено, что ЦП ВИ с хронотронными интерполяторами обладают быстродействием соответствующим реальной длительности преобразуемого ВИ. В то время как ЦП ВИ с двойной рециркуляционной интерполяцией – более высокой точностью и небольшими аппаратными затратами.

Отдельное внимание уделено способу повышения точности ЦП ВИ с одиночной и двойной видами интерполяции, основанного на многократном преобразовании длительности ВИ и последующим усреднении их цифровых результатов преобразований.

Кроме того рассмотрены технические аспекты повышения точности фиксации совпадений в цифровых преобразователях временных интервалов с одной и двойной интерполяцией.

Список используемой литературы

1. Патент РФ 2546075. Цифровой измерительный преобразователь интервала времени, МПК G04F 10/04, решение о выдаче патента от 13.05.2014г.
2. Ратхор Т.С. Цифровые измерения. АЦП/ЦАП. - М.: Техносфера, 2006, с. 22, рис. 2.1.
3. Шляндин В.М. Цифровые измерительные устройства: Учебник для вузов. - М.: Высшая школа, 1981, с. 166, рис. 3.27.
3. Патент США 4439046, МПК G04 8/00, 27.03.1984 г.
4. Патент РФ 2260830. Устройство для измерения интервала времени, МПК G04F 10/04, решение о выдаче патента от 20.09.2005 г.
5. Патент РФ 2570116. Устройство для цифрового преобразования интервала времени. МПК G04F 10/04, решение о выдаче патента от 20.09.2005 г.
6. Хоровиц П., Хилл У. Искусство схемотехники: В 2-х т. Т. 2. Пер. с англ. - Изд. 3-е, стереотип. - М.: Мир, 1986. - 590 с. - с. 372, рис. 14.29.
7. Чулков В.А. Интерполирующие устройства синхронизации и преобразователи информации. - М: Физматлит, 2010, - 324 с. - с. 194, рис. 4.7.
8. Differential time interpolator. Патент США, 4433919, МПК G04F 8/00. Опубл. 28.02.1984.
9. Gated ring oscillator for a time-to-digital converter with shaped quantization noise. Патент США, 8138843, МПК H03K 3/03, G01R 23/175, G04F 10/04. Опубл. 20.03.2012.
10. Патент РФ 2546075. Цифровой измерительный преобразователь интервала времени, МПК G04F 10/04, решение о выдаче патента от 13.05.2014г.
11. Патент РФ 2546075. Цифровой измерительный преобразователь интервала времени, МПК G04F 10/04, решение о выдаче патента от 13.05.2014г.

12. Патент РФ 2115230. Преобразователь временных интервалов в код, МПК H03M1/50, решение о выдаче патента от 10.07.1998.
13. SU, авторское свидетельство, 296076, кл. G 04 F 11/08, 1971.
14. SU, авторское свидетельство, 342139, кл. G 01 R 29/02, 1972.
15. Валитов Р.А и д. р. Радиотехнические измерения. - М.: Сов. радио, 1970, с. 590 - 5 92, рис. 1 1.38.
16. SU, авторское свидетельство 673976 кл. G 01 R 29/02, 1978.
17. Гребенюк В.М., Залиханов Б.Ж., Зинов В.Г. Повышение эффективности работы канала анти совпадений. Препринт ОИЯИ № P13-12991, 1980, с.2.
18. SU, авторское свидетельство, 673976, кл. H 03 D 13/00, 1982.
19. SU, авторское свидетельство, 303617, кл. G 04F 11/08, 1969.
20. Патент США 4439046, МПК G04 8/00, 27.03.1984 г.
21. Gated ring oscillator for a time-to-digital converter with shaped quantization noise. Патент США №8138843, МПК H03K 3/03, G01R 23/175, G04F 10/04. Опубл. 20.03.2012.