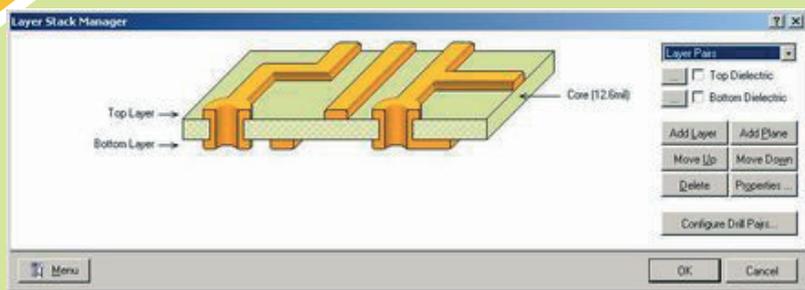
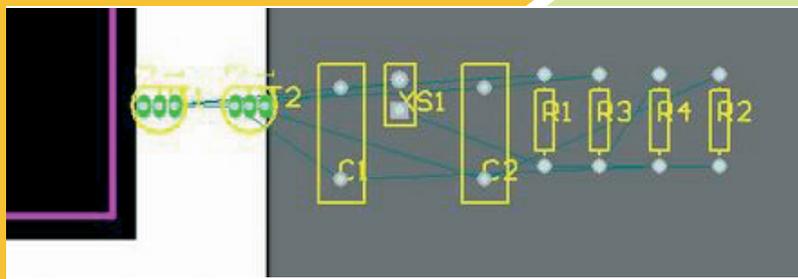


Министерство образования и науки Российской Федерации
Тольяттинский государственный университет
Институт энергетики и электротехники
Кафедра «Промышленная электроника»

В.П. Певчев

ПРИМЕНЕНИЕ ALTIUM DESIGNER ПРИ РАЗРАБОТКЕ СХЕМ И ПЕЧАТНЫХ ПЛАТ

Электронное учебно-методическое пособие



© ФГБОУ ВПО «Тольяттинский
государственный университет», 2015

ISBN 978-5-8259-0818-2

УДК 621.38
ББК 30.2-5-05

Рецензенты:

канд. техн. наук, руководитель отдела
закупок оборудования и услуг ООО «Джейко Раша» *Д.А. Яковлев*;
канд. техн. наук, доцент Тольяттинского государственного
университета *Е.С. Глибин*.

Певчев, В.П. Применение Altium Designer при разработке схем и печатных плат : электрон. учеб.-метод. пособие / В.П. Певчев. – Тольятти : Изд-во ТГУ, 2015. – 1 оптический диск.

В учебно-методическом пособии приведены сведения о средствах анализа электронных схем и разработке печатных плат и программируемых логических интегральных схем, реализуемые программой Altium Designer (ProtelDXP).

Предназначено для студентов направления подготовки 210100.62 (бакалавриат) и 210100.68 (магистратура) «Электроника и нанoeлектроника» очной и заочной форм обучения. Может быть использовано при изучении дисциплин «САПР устройств электроники», «Проектирование и технология электронной компонентной базы», «Компьютерные технологии в научных исследованиях», «САПР систем управления устройств силовой электроники» и «Методы математического моделирования электронных схем».

Текстовое электронное издание.

Рекомендовано к изданию научно-методическим советом Тольяттинского государственного университета.

Минимальные системные требования: IBM PC-совместимый компьютер: Windows XP/Vista/7/8; ПИИ 500 МГц или эквивалент; 128 Мб ОЗУ; SVGA; Adobe Reader.

Редактор *Е.Ю. Жданова*
Технический редактор *З.М. Малявина*
Компьютерная верстка: *Л.В. Сызганцева*
Художественное оформление,
компьютерное проектирование: *Г.В. Карасева*

Дата подписания к использованию 24.12.2014.

Объем издания 1,8 Мб.

Комплектация издания: компакт-диск, первичная упаковка.

Заказ № 1-61-13.

Издательство Тольяттинского государственного университета
445667, г. Тольятти, ул. Белорусская, 14
тел. 8(8482) 53-91-47, www.tltsu.ru

Содержание

Введение	5
1. ПРОЕКТИРОВАНИЕ ПЕЧАТНЫХ ПЛАТ	11
1.1. Создание листа принципиальной схемы	12
1.2. Создание заготовки чертежа печатной платы	26
1.3. Передача информации о проекте в редактор печатных плат	28
1.4. Настройка установок проекта печатной платы	30
1.5. Размещение компонентов на плате вручную	39
1.6. Автоматизированные инструменты размещения	43
1.7. Ручная трассировка платы	46
1.8. Автоматизированная трассировка	52
2. МОДЕЛИРОВАНИЕ РАБОТЫ СХЕМЫ	59
2.1. Подготовка схемы к моделированию	59
2.2. Анализ переходных процессов	63
2.3. Параметрический анализ	70
2.4. Частотный анализ схемы в режиме малого сигнала	72
2.5. Анализ схем при изменяющемся постоянном напряжении	74
3. ПРОЕКТИРОВАНИЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ (ПЛИС)	77
3.1. Ресурсы	77
3.2. Создание исходного файла схемы	84
3.3. Размещение компонентов на схеме	86
3.4. Создание соединений	88
3.5. Контроль проекта	92
3.6. Настройка проекта	92
3.7. Использование Devices View для программирования ПЛИС	93
3.8. Добавление подчинённого листа для делителя	96
Задания на лабораторную работу	100
Основные контрольные вопросы	102
Библиографический список	103

Введение

Учебно-методическое пособие содержит базовые сведения по дисциплине «Системы автоматизированного проектирования устройств электроники», которая относится к вариативной части профессионального цикла. В программу курса включены лекции по основам автоматизированного проектирования устройств электроники, сведения по основам работы с программой Altium Designer, а также задания на лабораторную работу. Завершается изучение дисциплины зачётом.

Цель изучения дисциплины – формирование у студентов современного подхода к схемотехническому проектированию, основанному на применении автоматизированных систем.

Задача дисциплины – усвоение знаний по используемым методам моделирования.

Учебные курсы, на освоении которых базируется данная дисциплина: «Информатика», «Основы проектирования устройств промышленной электроники», «Основы технологии устройств промышленной электроники».

Учебные курсы, для которых необходимы знания, умения, навыки, приобретаемые в результате изучения данной дисциплины: «Моделирование процессов в электронных приборах и устройствах», «Компьютерные технологии в научных исследованиях» и «САПР систем управления устройств силовой электроники».

В результате изучения дисциплины студент формирует и демонстрирует такие компетенции, или способности:

– учитывать современные тенденции развития электроники, измерительной и вычислительной техники, информационных технологий в своей профессиональной деятельности (ПК-3);

– осуществлять сбор и анализ исходных данных для расчета и проектирования электронных приборов, схем и устройств различного функционального назначения (ПК-9);

– выполнять расчет и проектирование электронных приборов, схем и устройств различного функционального назначения в соответствии с техническим заданием с использованием средств автоматизации проектирования (ПК-10);

– разрабатывать технические задания на проектирование технологических процессов производства материалов и изделий электронной техники (ПК-11);

– владеть методами проектирования технологических процессов производства материалов и изделий электронной техники с использованием автоматизированных систем технологической подготовки производства (ПК-12);

– разрабатывать технологическую документацию на проектируемые устройства, приборы и системы электронной техники (ПК-13);

– осуществлять авторское сопровождение разрабатываемых устройств, приборов и системы электронной техники на этапах проектирования и производства (ПК-15);

– создавать с использованием современных языков программирования и обеспечивать программную реализацию эффективных алгоритмов решения сформулированных задач (ПК-17);

– строить простейшие физические и математические модели приборов, схем, устройств и установок электроники и наноэлектроники различного функционального назначения, а также использовать стандартные программные средства их компьютерного моделирования (ПК-19);

– владеть современными методами расчета и проектирования устройств промышленной электроники, воспринимать, разрабатывать и критически оценивать новые способы их проектирования (ПК-33);

– разрабатывать модели исследуемых процессов, элементов, приборов и устройств промышленной электроники (ПК-36).

В результате изучения дисциплины студент должен:

• уметь работать в графическом редакторе системы *Protel DXP*, а именно:

– адекватно ставить задачи исследования и оптимизации сложных объектов на основе методов компьютерного моделирования;

- создавать и модифицировать чертежи электронных схем;
- проводить анализ работы схем;
- создавать и модифицировать проекты печатных плат (заготовку платы, устанавливаемые на неё электронные компоненты, а также соединительные печатные проводники);
- разрабатывать проекты программируемых логических интегральных схем (ПЛИС);
 - владеть при исследовании электронных схем и разработке печатных плат ручными и автоматизированными средствами *Protel DXP*, а также:
 - методами расчёта параметров и основных характеристик моделей, используемых в электронике;
 - практическими навыками работы с программными пакетами математического моделирования.

Учебный курс базируется на знаниях, полученных при изучении дисциплин «Информатика» и «Твердотельная электроника». Работая с данным пособием, студенты знакомятся с особенностями использования программ автоматизированного моделирования и проектирования, языками проектирования (средой проектирования), получают опыт использования таких программ, а также навыки самостоятельной разработки технической документации по электронным схемам и печатным платам. Сформированные компетенции используются как при изучении последующих учебных дисциплин, так и в условиях реального производства.

В качестве примера рассматривается программа сквозного проектирования электронных устройств *Altium Designer* (версия 9). Она имеет единую программную среду *Design Explorer (DXP)*, предназначенную для создания, анализа электронных схем и разработки на их основе печатных плат и программируемых логических микросхем, которая запускается одновременно с запуском программы и предоставляет интерфейс работы со всеми приложениями. Окно *Altium Designer* (рис. 1) содержит следующие основные элементы:

1 – системное меню и панели инструментов, наполнение и состав которых изменяются в зависимости от типа активного документа;

- 2 – вспомогательные панели, которые имеют несколько режимов отображения;
- 3 – рабочую область;
- 4 – интегрированную поддержку *Altium Designer*, обеспечивающую доступ к страницам встроенной справки и ресурсам, расположенным в сети Интернет (*Altium Wiki*).

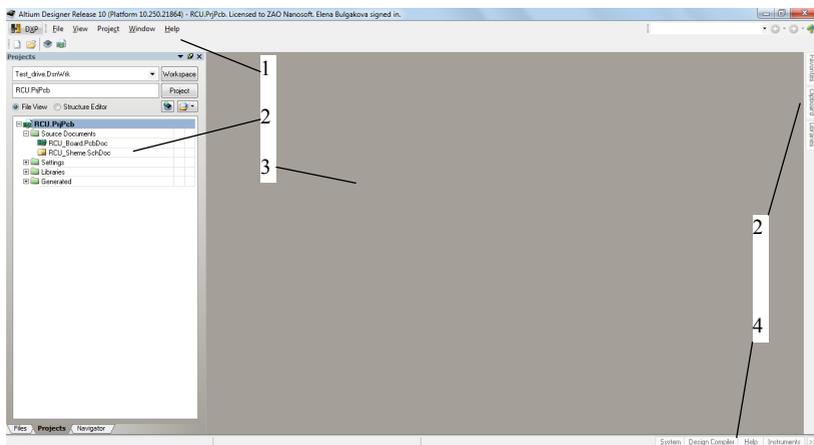


Рис. 1. Интерфейс *Altium Designer*

Altium Designer имеет возможность переключения интерфейса на русский язык. Для этого необходимо активировать настройку *Use localized resources* на вкладке *System-General* диалогового окна *Preferences*. Диалоговое окно вызывается командой *DXP | Preferences*.

Большинство элементов среды проектирования *Altium Designer* являются настраиваемыми. Например, захватив левый край панели инструментов и удерживая левой кнопкой мыши, можно переместить её в любое место экрана. При сближении с краем экрана панель «прилипнет» к нему. Аналогичные действия можно проделывать с панелями управления.

В среде проектирования *Altium Designer* помимо команд меню имеется система так называемых горячих клавиш, упрощающих вызов команд с клавиатуры. Например, для быстрого вызова команды *View | Fit Document* используется последовательное нажатие клавиш *V*

и *D*. Определить, какая горячая клавиша соответствует той или иной команде, можно по подчёркнутой букве в названии команды.

Проект системы *Protel DXP* представляет собой текстовый *ASCII* файл, содержащий ссылки на все используемые в проекте документы, а также необходимые установки для работы с ними. Проекты бывают шести типов.

1. Проект печатной платы (**.PrjPcb*) – это набор документов, необходимых для изготовления печатной платы. Электронная схема вводится в редакторе схем, создаётся из библиотечных символов, которые размещаются на листе и соединяются проводниками. Проект передаётся в редактор плат, где каждый компонент представляется в формате посадочного места и проводники на схеме преобразуются в соединительные линии от вывода к выводу.

2. Проект (**.PrjFpg*) программируемой логической интегральной схемы (ПЛИС) – это набор документов, которые могут быть обработаны для программирования ПЛИС. Проект создаётся с помощью редактора схем и/или программированием на языке *HDL* (*VHDL* или *Verilog*). В проект добавляются файлы ограничений для описания требований проекта, таких как программируемое устройство, внутреннее распределение выводов для цепей и устройств, требований к быстродействию цепи, определения частот на выводах и т. д. Проект транслируется в файл стандартного формата, известный как *EDIF*. Программный инструментарий производителя микросхемы затем обрабатывает данные *EDIF* и пытается разместить и трассировать проект таким образом, чтобы встроить данные в указанное устройство, производя программный файл устройства. Проект затем может быть применён в устройстве, установленном в подходящей плате, и его можно тестировать.

3. Проект для ядра (**.PrjCor*) – это набор документов, необходимых для изготовления представления *EDIF* функционального компонента, который может быть реализован в ПЛИС. Проект содержит схему и/или код *HDL* (*VHDL* или *Verilog*). Файлы ограничений добавляются в проект для описания целевого устройства. Символ компонента выполняется для представления компонента на листе схемы, который затем рассматривается как его описание в формате *EDIF*.

4. Встроенный проект (*.PrjEmb) – это набор документов, необходимых для производства прикладного программного обеспечения, которое может быть применено в части управляющего процессора в электронном устройстве. Исходный проект формируется на языке C и/или ассемблере.

5. Интегрированная библиотека (*.LibPkg) и (*.IntLib). Условные графические отображения и посадочные места компонентов формируются в редакторе библиотек для создания интегрированной библиотеки. Символы компонентов схемы вычерчиваются средствами библиотечного редактора символов, и для них определяется модельное представление. К символу могут быть добавлены четыре типа моделей, например, описание посадочного места компонента на плате, данные для схемного моделирования, моделирования целостности сигналов и трёхмерные модели.

6. Проект скрипта (*.PrjScr) – это набор документов, в которых сохраняются один или несколько сценариев работы *Altium Designer*.

От типа проекта процесс его создания зависит незначительно.

1. ПРОЕКТИРОВАНИЕ ПЕЧАТНЫХ ПЛАТ

Последовательность действий при проектировании печатных плат следующая:

- 1) создаётся файл проекта;
- 2) в этот проект добавляется пустой лист принципиальной схемы;
- 3) до или после редактирования листа схемы в проект включается пустой лист чертежа печатной платы;
- 4) информация из редактора схем передаётся в редактор печатных плат;
- 5) компоненты размещаются на плате;
- 6) производится трассирование соединений между компонентами.

Щелчком левой кнопки мыши на значке *Create a new Board Level Design Project* в секции *Pick a Task* (выбор задачи) рабочего стола создаётся новый проект печатной платы.

Выполнить эту операцию можно иначе: командой из раздела меню *File | New* с помощью опции *Blank Project (PCB)* в секции *New* панели управления *Files* (рис. 2, а). Если в настоящий момент эта панель не отображается, то её можно включить нажатием кнопки *Files* в нижней части экрана. Современные программы САПР, как правило, предлагают несколько возможностей выполнения тех или иных действий.

При необходимости, например при ошибке, файл проекта можно переименовать с помощью команды меню *File | Save Project As*.

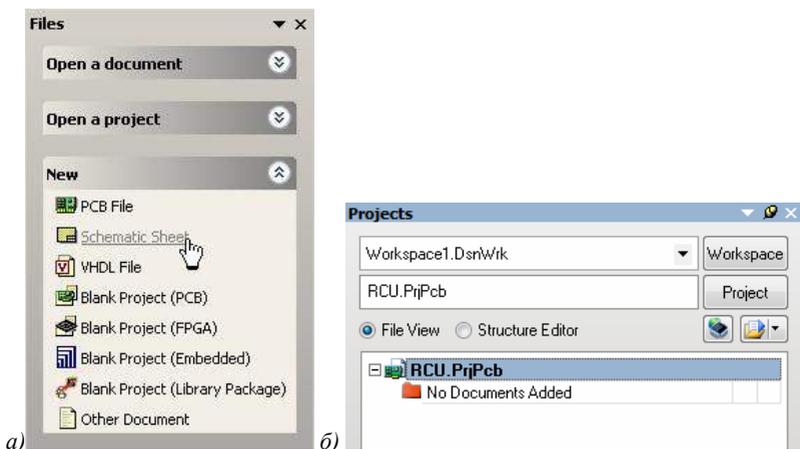


Рис. 2. Меню *Files* и панель *Projects*

1.1. Создание листа принципиальной схемы

Для создания нового листа схемы и добавления его в проект необходимо осуществить следующие действия.

1. Выполнить команду меню *File | New | Schematic* или щелкнуть на опции *Schematic Sheet* в секции *New* панели управления *Files* (рис. 2, а). На рабочем столе системы *Protel DXP* появится пустой лист принципиальной схемы с именем по умолчанию *Sheet1.SchDoc*, который автоматически будет добавлен в проект. На вкладке *Projects* новый лист схемы будет отображаться в категории *Schematic Sheets* под именем проекта.

2. При необходимости созданный файл схемы с расширением *.SchDoc* переименовать с помощью команды *File | Save As*.

3. Чтобы добавить в проект лист схемы, который ранее был открыт на панели *Projects* как свободный (*Free Document*), необходимо щелкнуть по нему правой кнопкой мыши и в появившемся меню выбрать команду *Add to Project*. Лист схемы окажется в категории *Schematic Sheets*.

1.1.1. Настройка параметров листа схемы

Размер листа схемы и шаг сеток (отображаемых на экране и служебных) настраиваются по команде меню *Design | Options*, после чего откроется диалоговое окно *Document Option*. Следует обратить внимание, что редактор принципиальных схем *Protel DXP* поддерживает только одну систему — дюймовую. В редакторе чертежей печатных плат все графические примитивы должны иметь истинные геометрические размеры, а в схемах можно использовать условные единицы измерения в миллиметрах, что достигается подбором масштаба печати. Редактор принципиальных схем системы *Protel DXP* имеет дискретность 0,01 дюйма, что составляет около 0,25 мм. Так как для оформления схем согласно требованиям ЕСКД достаточно точности 0,5 мм, рекомендуется рисовать схемы в уменьшенном масштабе, что даёт возможность, во-первых, без проблем использовать условные графические обозначения микросхем из фирменных библиотек, где шаг между выводами — 10 дискретов, а во-вторых, почти вдвое увеличить максимальный размер листа схемы. Таким образом, при правильном назначении размеров сеток процесс создания схемы ничем не будет отличаться от прорисовки схемы на миллиметровой чертежной бумаге.

Алгоритм настройки параметров схемы

1. Установить значение видимой сетки *Visible Grid*, облегчающей ориентирование по схеме, равным 10, что соответствует 5 мм.

2. Установить шаг сетки *Snap Grid*, определяющий дискретность перемещения курсора по схеме, равным 2, что соответствует 1 мм.

3. Задать размеры листа. Например, требуется получить лист схемы формата А4, имеющего размеры 210×297 мм. Пользуясь правилом: 1 мм = 2 дискрета, необходимо установить пользовательские размеры листа, для чего нужно активировать переключатель *Use Custom Style* и ввести в поле *Custom Width* число 420, а в поле *Custom Height* — 594.

4. Указать число координатных зон, необходимых для выполнения автоматической нумерации позиционных обозначений: по горизонтали (*X Region Count*) — 6, а по вертикали (*Y Region Count*) — 8. В этом случае зоны будут иметь размер около 40 мм.

5. Все установленные параметры сохранить нажатием кнопки *OK*.

6. Выполнить команду меню *View | Fit Document*, чтобы автоматически подогнать масштаб отображения листа на экране под размеры окна. Плавное изменение масштаба листа осуществляется смещением мыши при нажатой средней кнопке, а изменение положения листа на экране — линейками прокрутки или смещением мыши при нажатой правой кнопке.

Можно настроить все параметры сразу, для этого необходимо воспользоваться следующим шаблоном.

- Выполнить команду меню *Tools | Preferences*. Откроется диалоговое окно, установки в котором будут относиться ко всем листам схем. Для быстрого задания параметров листов схем можно использовать заранее созданные специальные шаблоны или имеющиеся листы схем (файл с расширением *.DOT*). Шаблоны листов схем с рамкой и основной надписью по ГОСТу в масштабе 1 мм = 2 дискрета можно скачать по адресу http://www.eurointich.ru/Altium/Protel_Titles_For_SCH.zip. Смена шаблона осуществляется с помощью команды *Design | Template | Set Template File Name* или командой *Design/Project Templates/Choose a File* загрузить файл шаблона (с расширением *.SchDot*). По команде *Design/Document Options* настроек листа схемы на вкладке *Parameters* можно задать значения параметров углового штампа схемы.

- Перейти на вкладку *Default Primitives* и активировать переключатель *Permanent*, после чего закрыть окно нажатием кнопки *OK*.

- Прежде чем начать рисовать схему, сохраните настроенный лист схемы с помощью команды *File | Save*.

1.1.2. Поиск компонентов в библиотеках и подключение библиотек

Алгоритм отыскания библиотек, содержащих требуемый символ

1. Вызвать панель управления библиотеками *Libraries* нажатием на кнопку *Libraries* в нижней правой части окна *Design Explorer*. Если к системе не подключено ни одной библиотеки, то панель будет пустой.

2. Нажать кнопку *Search*, расположенную в верхней части панели *Library*, или выполнить команду меню *Tools | Find Component* — откроется диалоговое окно *Search Libraries*.

3. На вкладке *Search* этого окна в поле *Scope* включить опцию *Libraries on Path*, а в поле *Path* задать папку, где следует искать нужную библиотеку. Если инсталляция системы *Protel DXP* выполнялась в папку по умолчанию, то библиотеки будут находиться по адресу *C:\Program Files\Altium\Library*. Переключатель *Include Subdirectories* при этом должен быть неактивен.

4. Если необходимо найти все компоненты, у которых в названии присутствует искомый текст, например сочетание цифр 3904, в поле *Search Criteria* включим опцию *Name* и в текстовое поле справа впишем фильтр поиска **3904**. Знак «*» здесь обозначает произвольное сочетание любых других символов.

5. Запустить процесс поиска нажатием на кнопку *Search*. На вкладке *Results* окна *Search Libraries* будут отображены результаты поиска.

С помощью мыши нужно выбрать найденную библиотеку, например, *Miscellaneous Device.IntLib*, содержащую искомый транзистор 2N3904. Библиотечное описание элемента состоит из символа для редактора принципиальных схем, топологического посадочного места для редактора плат, *Spice* — модели для моделирования и модели для анализа целостности сигналов.

Далее необходимо подключить библиотеку к системе *Protel* нажатием кнопки *Install Library*. Если эта библиотека уже подключена, то кнопка будет заблокирована.

Окно поиска можно закрыть нажатием на кнопку *Close*.

Подключенная библиотека отобразится в выпадающем списке в верхней части панели *Libraries* управления библиотеками.

1.1.3. Размещение элементов на схеме

Последовательность действий

1. С помощью команды *View | Fit Document* (горячие клавиши *V* и *D*) подогнать масштаб отображения так, чтобы в окне редактора схем помещался весь лист. Приблизить или удалить изображение схемы можно с помощью комбинации *Ctrl* + колесико мыши.

2. Включить панель управления библиотеками (если она скрыта) кнопкой *Library* в нижней части экрана или выбором соответствующей вкладки.

3. В выпадающем списке на этой панели выбрать библиотеку, в которой находится нужный элемент.

4. Библиотека может быть большой, поэтому для быстрого поиска компонента следует использовать фильтр в текстовом поле, расположенном под именем библиотеки. По умолчанию в этом поле стоит значок «*», означающий, что должны отображаться все компоненты.

5. Выбрать элемент с помощью мыши и нажать кнопку *Place* в верхней части панели или выполнить на имени компонента двойной щелчок левой кнопкой мыши. Указатель мыши изменит вид крестика, к которому «прилип» контур символа элемента, что означает переключение редактора в режим размещения.

6. Прежде чем щёлкнуть левой кнопкой мыши в поле схемы и поставить элемент в нужное место, следует отредактировать его параметры, для чего нажать клавишу *Tab*. Откроется диалоговое окно, изображенное на рис. 3. Присвоить элементу позиционное обозначение, например VT1, которое задаётся в поле *Designator*.

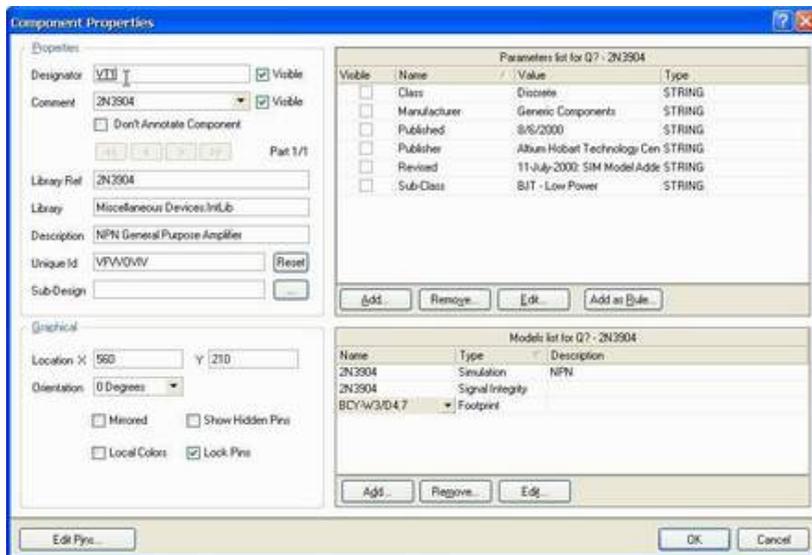


Рис. 3. Настройка параметров символа элемента

7. Убедиться, что в списке *Model list* элемент имеет топологическое посадочное место (*Footprint*). При использовании готовой интегрированной библиотеки в неё уже включены модели для анализа схемы и посадочные места (например, для транзистора это DCY-W3/D4.7).

8. Разместить элемент на схеме:

- переместить указатель мыши с «прилипшим» символом в нужное место схемы;
- выполнить щелчок левой кнопкой мыши или нажать клавишу *Enter*;
- разместить в схеме несколько компонентов одного типа, сдвигая мышью в сторону, при этом позиционные обозначения им присваиваются автоматически;
- для зеркального отображения элемента относительно вертикальной оси используется клавиша *X*, а относительно горизонтальной оси – клавиша *Y*. Нажатие клавиши *Spacebar* поворачивает символ на 90°. Для более точного указания положения элементов можно изменить масштаб просмотра схемы двойным нажатием клавиши *PageUp*. При сближении указателя мыши с краем окна будет происходить автоматическое панорамирование листа. Для быстрого изменения масштаба так, чтобы были показаны все размещенные объекты, используется комбинация горячих клавиш *V* и *F*, вызывающая команду *View | Fit All Object*;
- для выхода из режима размещения элемента следует нажать клавишу *Esc*. Указатель мыши снова примет вид стрелки.

9. Аналогично добавляются в схему прочие элементы. Не следует забывать об использовании разъёмов, хранящихся в библиотеке *Miscellaneous Connectors.IntLib*.

10. Для отображения на схеме и использования при моделировании процессов, происходящих в ней, следует задавать значения пассивных элементов (например, сопротивления резисторов). Для этого используется параметр $=Value$, которому присваивается общая информация о компоненте. Чтобы значение параметра $=Value$ было передано в редактор печатных плат, необходимо воспользоваться текстовым полем *Comment* (рис. 3). Параметр *Value* может быть уже определен, но в общем случае к новому элементу его необходимо

добавить, для чего нажать кнопку *Add*, расположенную под списком параметров *Parameters list* в диалоговом окне *Component Properties*. Появится окно *Parameters Properties*, в котором задаётся имя нового параметра *Value* в поле *Name* и его значение. Убедитесь, что у нового параметра тип (*Type*) задан как *STRING* и включена опция *Visible*. Нажать кнопку *OK*. В поле *Comment*, расположенном в разделе *Properties* в выпадающем списке, выбрать значение параметра =*Value* и деактивировать переключатель *Visible* рядом с этим полем. Чтобы вернуться в режим размещения, следует нажать кнопку *OK*.

11. После размещения всех объектов схемы необходимо пронумеровать компоненты. В терминологии *Altium Designer* этот процесс называется аннотированием. Для автоматического аннотирования схемы выполните команду *Tools/Annotate Schematic*. В левом верхнем углу появившегося окна *Annotate* задайте направление нумерации *Down then Across*. Затем в правом нижнем углу окна нажмите кнопку *Update Changes List*, после чего в колонке *Proposed* таблицы *Proposed Change List* будет показана новая нумерация. Нажмите кнопку *Accept Changes (Create ECO)*, чтобы внести изменения в схему.

12. Сохранить схему с помощью команды меню *File | Save*.

Если вид элементов по умолчанию не соответствует ГОСТу, при необходимости следует провести редактирование их изображений и обозначений в библиотеке.

1.1.4. Прорисовка электрических связей между элементами

Последовательность действий

1. Для создания соединения между выводами элементов на схеме необходимо выполнить команду меню *Place | Wire* (или нажать кнопку на панели инструментов). Указатель мыши примет вид крестика. Обратите внимание на то, как ведет себя указатель мыши, если перемещать его по листу схемы. Большой крест показывает истинное положение курсора. Маленький наклонный серый крестик следует за указателем мыши, но попадает всегда в узлы сетки *Snap Grid*. Если подвести указатель мыши к выводу элемента, то серый крестик превратится в красную звездочку, что означает наличие под указателем мыши электрического объекта: вывода, порта или связи. Функция автоматической привязки к электрическим объектам управляется

значением электрической сетки *Electrical Grid* и значительно облегчает прорисовку, так как позволяет подвести линию связи точно к нужному выводу. Аналогичная функция имеется и в редакторе печатных плат, что устраняет проблемы одновременного использования компонентов с дюймовым и метрическим шагами выводов.

2. После подвода указателя мыши к началу соединения нужно выполнить щелчок левой кнопкой мыши или нажать клавишу *Enter*, сдвинуть указатель мыши и расположить его рядом с концом соединения. От исходной точки идёт сплошная линия, показывающая прокладываемый проводник. Пунктирная линия подсказывает, как будет проходить следующий сегмент проводника (рис. 4, а).

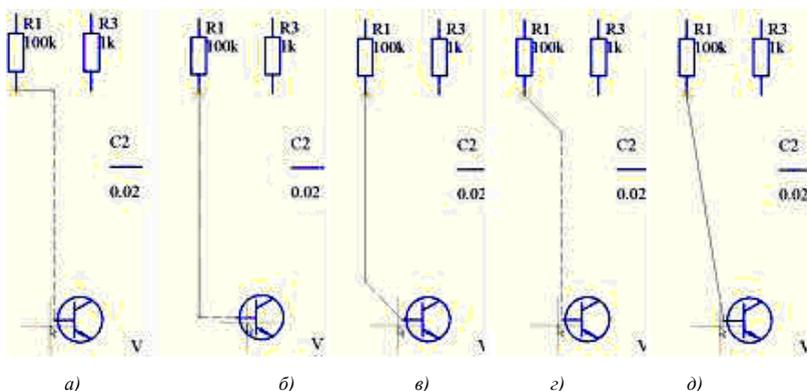


Рис. 4. Различные режимы прорисовки связей

Нажатием клавиши *Spacebar* режим рисования сменяется на изображенный на рис. 4, б. Редактор схем системы *Protel DXP* имеет несколько режимов и подрежимов прорисовки связей. Переключение режимов производится одновременным нажатием клавиш *Shift + Spacebar*, подрежимов – нажатием клавиши *Spacebar*. Информацию о доступных в режиме прорисовки горячих клавишах можно получить, нажав клавишу *F1*. На рис. 4 приведены примеры различных режимов рисования: ортогонального (рис. 4, а, б), под углом 45 градусов (рис. 4, в, г) и под произвольным углом (рис. 4, д).

3. Щелчком левой кнопки мыши конец линии фиксируется. Аналогично создаются остальные сегменты связи.

4. Нажатием клавиши *Esc* или щелчком правой кнопки мыши завершается рисование связи.

5. Редактор всё ещё находится в режиме рисования, о чём свидетельствует указатель мыши в виде крестика. По окончании рисования остальных связей необходимо нажать *Esc* для выхода из этого режима.

Все нарисованные на схеме линии связи между электрическими объектами в процессе компиляции проекта будут распознаны как цепи, после чего им присваиваются уникальные имена. Чтобы в дальнейшем было легче идентифицировать наиболее важные цепи, им можно принудительно присвоить имена с помощью специальных меток цепей.

Например, цепи питания +12 В и общей точке – земле следует присвоить соответствующие названия командой меню *Place | Net Label*. К указателю мыши окажется «прилипшим» небольшой прямоугольник. Нажатием клавиши *Tab* открывается окно редактирования параметров метки цепи.

6. Сохранить результат с помощью команды *File | Save (F и S)*.

1.1.5. Редактирование

1. *Перемещение и перетаскивание компонента на схеме*

Если навести указатель мыши на элемент и, удерживая нажатой левую кнопку, сдвинуть мышью, то пунктирное изображение элемента будет перемещаться за ней. Если отпустить левую кнопку мыши, то он переместится в новое место, а присоединённые к нему ранее связи останутся на прежних местах. Такой способ редактирования называется перемещением (*Move*).

Если эти действия выполнять при нажатой клавише *Ctrl*, то связи не разрываются. Такой режим редактирования называется перетаскиванием (*Drag*).

Во время перемещения и перетаскивания также работают поворот и зеркальное отображение. При работе со связями редактор схем ведет себя точно так же, как с элементами. Редактировать связи можно также, перемещая специальные маркеры (небольшие зеленые квадратики), появляющиеся на концах и в точках излома связей при их выделении мышью.

2. Редактирование компонента

Чтобы отредактировать компонент, не меняя исходную библиотеку, необходимо извлечь информацию о компонентах из проекта и внести необходимые изменения.

- При активном листе схемы нужно выполнить команду меню *Design/Make Schematic Library*. Система выдаст сообщение о том, что создана библиотека <имя схемы> *.SchLib* со столькими компонентами, сколько их в схеме. Автоматически откроется окно редактора схемных библиотек с изображением первого символа в списке компонентов библиотеки. Для работы с компонентами служит панель управления редактором схемных библиотек *SCH Library*.

Если панель *SCH Library* не открылась автоматически, её можно активировать кнопкой *SCH | SCH Library* в правом нижнем углу рабочего окна.

- На панели в списке компонентов следует выбрать нужный, перейти на панель *Projects*, кликнув соответствующую вкладку в левом нижнем углу рабочей области. В дереве проекта появится новая категория документов *Libraries/Schematic Library Documents*, в которой расположена библиотека <имя схемы> *.SCHLIB*. Сохранить библиотеку командой *File|Save*.

- Вернуться к редактированию компонента на панель *SCH Library*, нажав на соответствующую вкладку в левом нижнем углу рабочей области.

Для изменения длины выводов следует выполнить команду *Tools|Document Options*. Для этого в диалоговом окне *Library Editor Workspace* на вкладке *Units* нужно выбрать метрическую систему измерения, установить шаг текущей сетки 2,5 нажатием клавиши *G*, щелкнуть правой кнопкой мыши на выводе компонента и выполнить команду *Find Similar Objects* из контекстного меню.

В открывшемся окне перечислены свойства вывода. Для свойства *Object Kind* (тип объекта) *Pin* (вывод) должен быть установлен оператор *Same* (тот же) – будет одновременно изменена длина всех выводов, а в нижней части окна включить все опции, кроме *Create Expression*. Нажать *OK*. Откроется окно *Inspector* – один из инструментов группового редактирования свойств объектов. Измените значение параметра *Length*, например на 5 мм.

- Для редактирования графики символа компонента нужно снять предыдущее выделение кнопкой *Clear*, которая находится в правом нижнем углу рабочего окна, открыть окно свойств символа (обычно прямоугольника), дважды щелкнув по нему правой кнопкой мыши, изменить параметры в соответствии с ГОСТом.

- Далее нужно щелкнуть левой кнопкой мыши по первому выводу и, удерживая кнопку, переместить его в точку с координатой 0,0. Начало координат расположено в центре окна в виде большого перекрестья. Аналогичным образом поочередно следует изменить положение остальных выводов, расположить их с шагом 2,5 мм. Чтобы добиться нужной ориентации, используют клавишу *Spacebar*. Крестик, означающий электрическую привязку *Hotspot*, должен быть расположен наружу от контура символа.

- Отключить опцию *Pin Direction* на вкладке *Schematic-General* диалогового окна *Preferences*, которое вызывается командой *DXP/Preferences*. Принять изменения.

В результате проделанных операций должно быть получено условное графическое обозначение компонента, не противоречащее требованиям ГОСТа. При необходимости в окне подключения моделей выбрать с помощью клавиши *Shift* ссылки на модели и удалить их кнопкой *Remove*. Сохранить изменения в библиотеке командой *File/Save*.

3. Редактирование проложенных проводников

Для такого редактирования имеется несколько способов: перемещение вершины, перемещение сегмента, перемещение всего проводника или удлинение проводника. Можно также отредактировать, добавить или удалить вершины с помощью вкладки *Vertices* в диалоге свойств проводников.

Для перемещения вершины проводника необходимо выделить его нажатием левой кнопки мыши, навести курсор на вершину, которую необходимо переместить, до тех пор, пока он не примет вид двойной стрелки, затем левой кнопкой мыши перетащить вершину в новое место.

Отредактировать проводник можно смещением его сегмента. Нужно выделить проводник и навести курсор на сегмент, пока он не примет вид квадратной стрелки, затем щёлкнуть левой кнопкой мыши и переместить сегмент в новое место.

Для перемещения всего проводника без его модификации (без выделения) следует левой кнопкой мыши зафиксировать курсор на проводнике и передвигать объект.

Размещённый проводник можно удлинить. Для этого нужно выделить проводник; навести курсор на его окончание, которое вы хотите удлинить, пока курсор не примет вид двойной стрелки; нажать левую кнопку мыши в конечной точке и тащить этот конец сегмента в новое место, после чего щелкнуть левой кнопкой мыши для завершения. Во время перетаскивания можно изменять режим размещения комбинацией клавиш *Shift + Space*. Для удлинения сегмента только в одном направлении при перемещении конечной точки держите нажатой клавишу *Alt*.

Для разделения сегмента проводника на две части используется команда *Edit | Break Wire*. Эта команда доступна также из выпадающего меню при нажатии правой кнопки мыши, когда курсор находится на проводнике. На месте разрыва проводника появляется отображение прямоугольника-выреза. Вырезаемая секция маскируется. Длина выреза — это расстояние между двумя сегментами. Для циклического обхода трёх режимов задания длины выреза (вырез сегмента, вырез нескольких элементов сетки или вырез фиксированной длины) следует нажать клавишу пробела. Для установки опции выреза используют клавишу *Tab*. Нажатие левой кнопки мыши заканчивает разрыв проводника. Нажатием правой кнопки мыши или клавиши *Esc* осуществляется выход из режима разрыва.

1.1.6. Компиляция проекта

После выполнения этой операции рисунок схемы превратится в логически завершённый проект электронного устройства, готовый к дальнейшей обработке.

Настройка параметров проекта

Параметры проверки правил электрических соединений и другие параметры, относящиеся к проекту в целом, задаются в диалоговом окне *Option for Project* (рис. 5), вызываемом командой меню *Project | Project Options*.

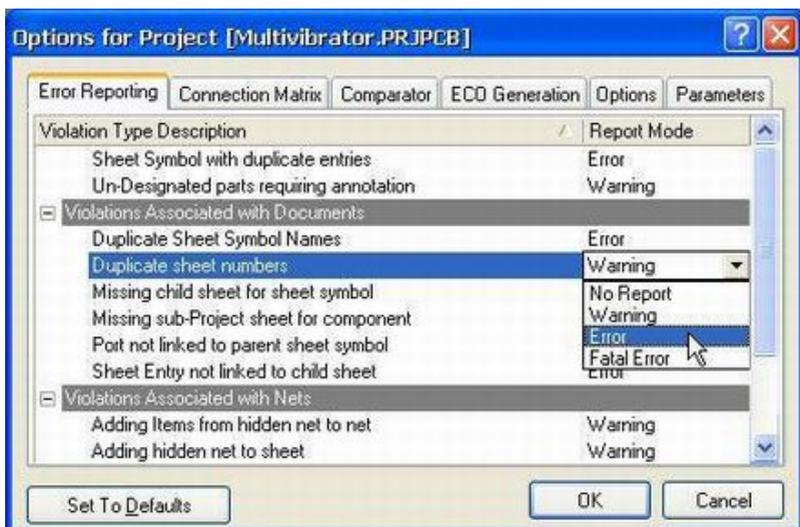


Рис. 5. Окно настройки параметров проекта

На вкладке *Error Reporting* перечислено большинство связанных с построением проекта и прорисовкой схем ошибок. Все нарушения разбиты на категории по определенным элементам: документам, компонентам, цепям, шинам, параметрам и шагам сетки. Каждому нарушению может быть присвоен один из трёх уровней: фатальная ошибка, не фатальная ошибка, предупреждение. Уровень *No Report* позволяет исключить нарушение из отчёта. Уровень критичности ошибок подчёркивается цветом. Можно использовать настройки по умолчанию, которые при необходимости восстанавливаются нажатием кнопки *Set To Default*.

На вкладке *Connection Matrix* задаются правила проверки электрических соединений. Все правила представлены в виде матрицы, по вертикальным и горизонтальным осям которой приведены различные типы электрических объектов (выводов, портов, входов). Разноцветные квадраты, расположенные на пересечении строки и столбца, определяют уровень критичности соединения соответствующих объектов. Зеленый цвет (*No Report*) сигнализирует о том, что соединение допускается и ошибки нет. Желтый соответствует предупреждению, например, когда в схеме присутствует ненагруженный входной вывод (столбец *Unconnected* и строка *Input Pin*).

Оранжевый и красный описывают простую и фатальную ошибки, например, соединение выходного вывода компонента (строка *Output Pin*) и вывода с открытым коллектором (столбец *Open Collector Pin*).

Изменение уровня критичности ошибки производится последовательным перебором четырех возможных значений и щелчком левой кнопки мыши на нужном квадратике.

Внесённые в проект изменения отслеживает модуль, называемый компаратором. При наличии изменений данный модуль подает сигнал. Настройка его выполняется во вкладке *Comparator*.

В столбце *Mode* в выпадающем списке напротив каждой из строк:

- *Changed Room Definition* (изменения в описаниях областей размещения),
- *Extra Room Definition* (новые области размещения),
- *Extra Component Classes* (новые классы компонентов) – следует выбрать режим *Ignore Differences* (игнорировать различия).

Компиляция запускается командой меню *Project | Compile PCB Project*. Скомпилированный проект будет показан на панели *Compiled*, а возможные ошибки – в окне *Messages* (вызывается из панели *System* в нижнем правом углу), которая включается одноименной кнопкой в нижней части экрана. Если схема нарисована корректно, то эта панель останется пустой. Если ошибки всё же найдены, то начинается итерационный цикл отладки проекта. На этом этапе выявляются наиболее грубые ошибки, например, несоединённые выводы, замыкания, потерянные цепи, символы или даже листы. Процесс выявления и исправления ошибок (верификация) может занять несколько итераций.

Если выполнить двойной щелчок левой кнопкой мыши на строке с описанием ошибки на панели *Messages*, появится панель *Compile Errors*, содержащая подробное описание данной ошибки.

Если выполнить двойной щелчок левой кнопкой мыши на значке неприсоединённого вывода на панели *Compile Errors*, автоматически изменится масштаб таким образом, чтобы отобразить проблемный элемент. Все остальные элементы схемы будут отображаться тусклыми цветами.

Если ошибок нет, сохраните схему.

1.2. Создание заготовки чертежа печатной платы

Прежде чем передавать информацию из редактора схем в редактор печатных плат, необходимо создать заготовку печатной платы, имеющую как минимум одну внешнюю границу. Самым простым способом создания новой печатной платы в системе *Protel DXP* является использование специального мастера *PCB Wizard*, который позволяет пользователю выбрать заготовленный заранее стандартный шаблон или создать собственный с оригинальными настройками.

Последовательность действий

1. Создать новый документ, который будет содержать чертеж печатной платы, щелчком левой кнопки мыши по опции *PCB Board Wizard*, расположенной в секции *New from Template* внизу панели *Files*. Откроется диалоговое окно с приглашением. Для продолжения следует нажать кнопку *Next*.

2. В следующем окне будет предложено выбрать систему единиц измерения, например метрическую. Редактор печатных плат системы *Protel DXP* может работать как с метрической, так и с дюймовой системой мер, хотя внутренняя система единиц мастера *PCB Wizard* дюймовая. Переключение системы единиц может быть выполнено в любой момент работы над проектом с помощью горячей клавиши *Q*. Опять нажмите кнопку *Next*.

3. Далее будет предложен список существующих шаблонов стандартных промышленных печатных плат, но если необходимо создать нестандартную плату, следует выбрать *Custom* – первую строку в списке, что подтверждается нажатием кнопки *Next*.

4. Появится окно, в котором требуется задать форму и размеры будущей платы (рис. 6). В левой части окна в списке *Outline Shape* строка *Rectangular* означает, что плата прямоугольная, а текстовые поля *Width* и *Height* – ширина и высота, например 50 mm. В правой части задаются толщина линий прорисовки границы платы (*Boundary Track Width*) и размеры (*Dimension Line Width*) – 0,1 mm, и отступ от края платы (*Keepout Distance From Board Edge*) – 2 mm. Следует выключить опции *Title Block & Scale*, *Legend String* и *Dimension Lines*, после чего нажать кнопку *Next*.

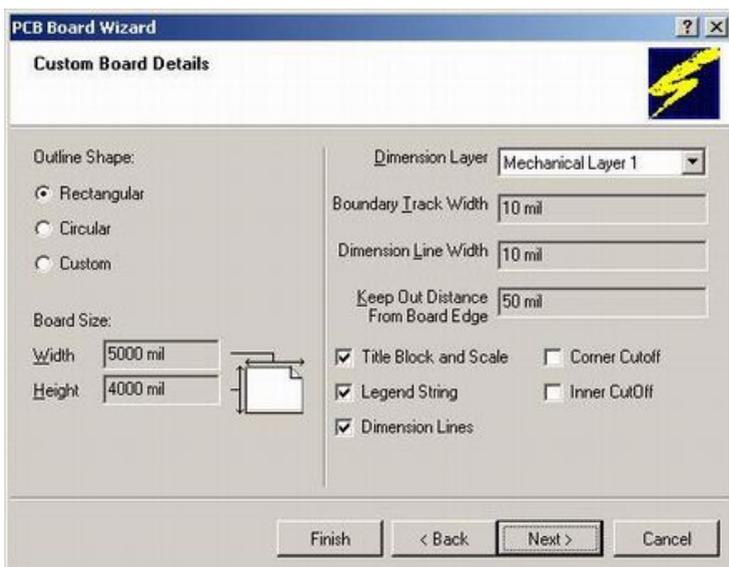


Рис. 6. Задание размеров печатной платы

5. Следующее окно предложит выбрать число сигнальных слоёв, а также внутренних слоёв питания и заземления. Обычно плата имеет только два сигнальных слоя, поэтому в поле *Signal Layers* следует ввести число 2, а в поле *Power Planes* — 0. Для продолжения нажать кнопку *Next*.

6. Далее следует определить тип переходных отверстий. Для простой двухсторонней платы выбирают тип *Thru-hole Vias* (сквозные переходные отверстия). На многослойных платах *Protel DXP* можно использовать также глухие переходные отверстия. Нажать кнопку *Next*.

7. В следующем окне необходимо выбрать преобладающую технологию монтажа компонентов (поверхностный или монтаж в отверстия) и стиль трассировки. Опция *Thru-hole components* определяет монтаж в отверстия и допустимое число проводников между смежными контактными площадками. Завершить выбор кнопкой *Next*.

8. При следующем шаге требуется задать минимально допустимые размеры объектов на печатной плате:

- ширина проводника (*Track Size*);
- диаметр площадки переходного отверстия (*Via Width*);

- диаметр переходного отверстия (*Via Hole Size*);
- зазор между проводниками (*Clearance*).

Можно оставить эти значения заданными по умолчанию. Нажмите кнопку *Next*.

9. Последнее диалоговое окно сообщает, что создание заготовки платы завершено. Если необходимо внести какие-либо коррективы в заданные значения, то с помощью кнопки *Back* можно вернуться в нужное окно. В противном случае следует нажать кнопку *Finish*. *PCB Wizard* передаст все сделанные установки в редактор печатных плат, в котором откроется новый документ с именем *PCB1.PcbDoc*. Этот документ содержит пустой лист чертежа платы и заготовку платы – черный прямоугольник с сеткой. Чтобы скрыть белый лист и оставить в окне редактора только плату, необходимо выключить опцию *Design Sheet* в диалоговом окне *Board Options*, вызываемом командой меню *Design | Options*. Новый документ будет автоматически добавлен в проект и появится на вкладке *Projects* в категории *PCBs*. Его можно переименовать командой *File | Save As*.

1.3. Передача информации о проекте в редактор печатных плат

В *Protel DXP* эта операция выполняется непосредственно из редактора схем с помощью команды *Update PCB*. В отличие от системы *P-CAD 2001* файла списка соединений при этом не создаётся – система оперирует отчётом о внесённых изменениях, генерируемым компаратором проекта.

Перед тем как передавать схему, необходимо выполнить следующее.

- Перейти в редактор схем, выбрав сверху вкладку открытой схемы или щёлкнув два раза по ее имени (файл с расширением *.SchDoc*) на панели *Projects*.
- Щёлкнуть правой кнопкой мыши по любому компоненту на листе схемы. В контекстном меню выполнить команду *Find Similar Objects*; в появившемся окне можно увидеть, что в поле *Object Kind* установлен оператор *Same*, а внизу окна включены все опции, кроме *Create Expression*.

- Далее нужно нажать *OK*. Откроется окно *SCH Inspector*. В списке свойств выбранных компонентов в разделе *Object Specific* установить напротив строки *Use Library Name* оператор *True*, подтвердить изменения нажатием клавиши *Enter* и закрыть окно.

Предлагается следующая последовательность действий при передаче информации о проекте в редактор печатных плат.

1. Выполнить команду меню *Design | Update PCB*, после чего откроется диалоговое окно *Engineering Change Order*.

2. Нажать кнопку *Validate Changes* (принять изменения). В левой части *Check* столбца *Status* напротив каждой записи появится зеленый значок с галочкой. Если система обнаружит ошибки, например, в библиотеке будет отсутствовать нужное топологическое посадочное место, то напротив соответствующей записи появится значок ошибки. В этом случае следует закрыть окно *Engineering Change Order* и проверить наличие сообщений об ошибках на панели *Messages* и устранить их.

3. Нажать кнопку *Execute Changes*, после чего начнётся операция передачи информации. По мере её выполнения напротив каждой записи в правой части *Done* столбца *Status* будет появляться зелёная галочка.

4. Нажать кнопку *Close*. Система переключится в редактор печатных плат, в котором на пустой чертёж будут добавлены все элементы принципиальной схемы, например, как на рис. 7.

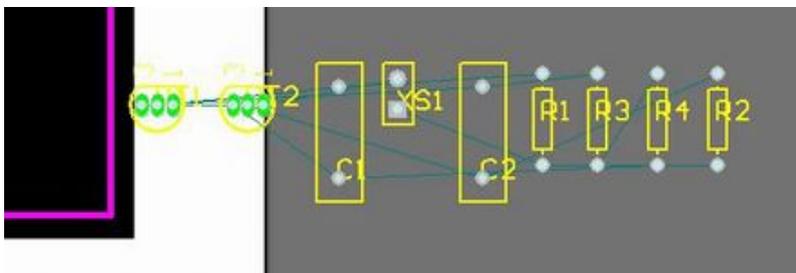


Рис. 7. Пример выполненного автоматически размещения элементов в редакторе печатных плат

1.4. Настройка установок проекта печатной платы

Прежде чем приступить к разводке проводников на плате в проекте печатной платы, необходимо выполнить ряд установок: настроить сетки, определить стек слоёв и задать правила проектирования.

1.4.1. Настройка сеток

Все объекты на чертеже печатной платы прорисовываются в узлы сетки *Snap Grid*. Обычно эта сетка выбирается кратной минимальному расстоянию между соседними выводами компонента, чтобы все они попадали в узлы сетки, а между ними можно было проложить заданное количество проводников.

Редактор печатных плат системы *Protel DXP* имеет так называемую электрическую сетку *Electrical Grid*, задающую некоторую окрестность вокруг электрического объекта (конца проводника, контактной площадки, переходного отверстия), попадая в которую указатель мыши притягивается точно к его центру независимо от установок сетки *Snap Grid*.

Для удобства размещения компонентов существует ещё одна сетка *Component Grid*, а сетки *Visible Grid* облегчают ориентацию по чертежу.

1. По команде *Design | Options* открывается диалоговое окно *Board Options*, позволяющее установить значения шага сеток *Snap X*, *Snap Y*, *Component X* и *Component Y*, например, 1 mm. Впоследствии это значение можно будет изменить.

Шаг электрической сетки *Electrical Grid* следует устанавливать немного меньшим, чем шаг сетки *Snap Grid*, например, 0,8 mm. Для двух видимых сеток *Visible Grid* следует устанавливать 1 mm и 10 mm, что позволит работать в редакторе схем, как на обычной миллиметровой бумаге. Установите метрическую систему измерения, выбрав *Metric* в выпадающем списке *Unit*. Отключите отображение листа, сняв маркер *Display Sheet*.

Включите опции *Snap to Grids* (привязка к сетке) и *Snap To Object Hotspots* (привязка к горячим точкам объекта). По предыдущим версиям привязка *Snap To Object Hotspots* больше известна пользователям как электрическая привязка *Electrical Grid*. В поле *Range* устано-

вите значение *Snap To Object Hotspots*, например 0,5 мм. Сделанные изменения сохраняются кнопкой *OK*.

2. Чтобы видимая сетка была привязана к границам платы, расположите точку начала координат в левом нижнем углу платы командой меню *Edit | Origin | Set*. Указатель мыши примет вид крестика, который необходимо нацелить в левый нижний угол платы. Чтобы попасть точно в угол платы, необходимо приблизить изображение несколькими последовательными нажатиями клавиши *Page Up*, после чего щёлкнуть левой кнопкой мыши. Вернуть изначальный масштаб можно нажатием горячих клавиш *V, D*.

1.4.2. Настройка редактора печатных плат

Возможны варианты. Предлагаются следующие действия.

1. По команде меню *Tools | Preferences* откроется диалоговое окно *System Preferences*.

2. На вкладке *Options* в разделе опций редактирования (*Editing Option*) включить опцию *Snap to Center*. В этом случае при перемещении компонента указатель мыши будет «прицепляться» к его опорной точке.

3. Перейти на вкладку *Display* и в разделе *Show* выключить опции *Show Pad Nets*, *Show Pan Numbers* и *Via Nets*. В разделе *Draft Thresholds* (порог отображения) в поле *String* задать значение 4 пикселя, что позволит упростить прорисовку текстовых надписей при изменении масштаба просмотра.

1.4.3. Определение стека слоёв

В редакторе печатных плат *Protel DXP* предусмотрено три типа слоёв: электрические, механические и специальные. На плате может быть до 32 сигнальных слоёв и до 16 внутренних слоёв питания и заземления. Их настройка осуществляется в диалоговом окне *Layer Stack Manager*. Для размещения различной вспомогательной информации (метки и надписи) используются механические слои, которых может быть не более 16. Специальные слои используются для размещения служебной информации, например, надписей различных масок, границ областей трассировки и т. д.

В нижней части окна редактора печатных плат можно наблюдать несколько вкладок, соответствующих определенным слоям проекта. Настройка слоёв производится в диалоговом окне *Board Layers* (рис. 8), вызываемом командой меню *Design | Board Layers*.

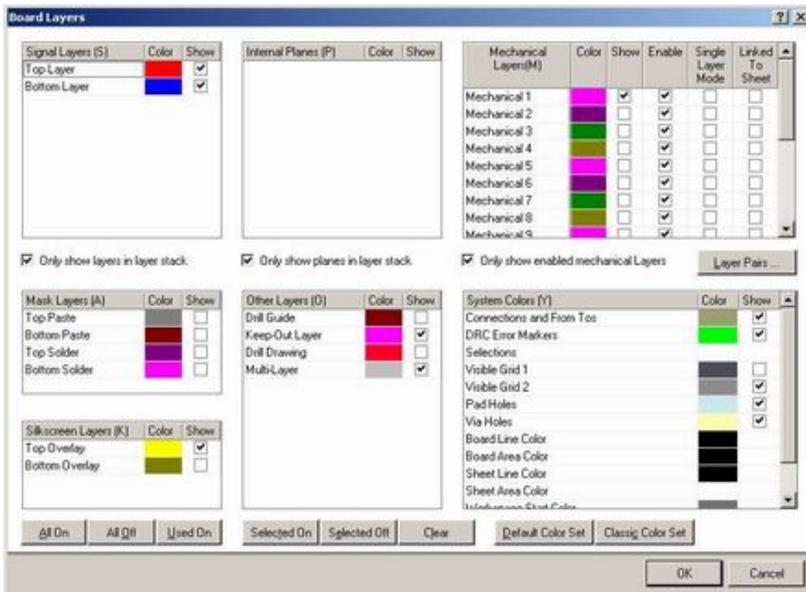


Рис. 8. Настройка слоёв проекта печатной платы

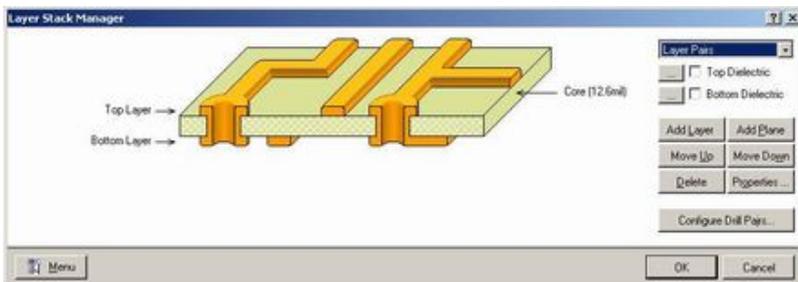


Рис. 9. Окно *Layer Stack Manager*

Неиспользуемые слои выключаются нажатием кнопки *Used On*. Необходимый минимум – *Keep-Out* (контур платы), *Top Overlay* (контуры компонентов) и *Multi-Layer* (контактные площадки). При необходимости изменения конфигурации электрических слоёв вызывается окно *Layer Stack Manager* (рис. 9) командой меню *Design | Layer Stack Manager*.

1.4.4. Настройка правил проектирования

Процесс работы в редакторе печатных плат системы *Protel DXP* регламентируется набором правил проектирования. В целом процесс задания правил проектирования составляет примерно половину объёма работы над проектом. Все автоматические операции (размещение, трассировка) производятся в строгом соответствии с этими правилами. Выполняемые вручную операции постоянно контролируются, и любое неправильное действие отображается как нарушение. Все правила проектирования сгруппированы в 10 категорий. Представленные в одной категории правила отличаются по типу.

Для простых проектов можно использовать набор правил проектирования по умолчанию. Например, для изменения правил ширины проводников необходимо выполнить следующее.

1. В редакторе плат выполнить команду меню *Design | Rules*. Откроется диалоговое окно *PCB Rules and Constraints Editor*. Все десять категорий правил проектирования отражаются в списке слева в виде древовидной иерархической структуры.

2. Щелкнуть левой кнопкой мыши по строчке в списке *Design Rules*. В списке справа перечислены все заданные в проекте правила.

3. Выполнить двойной щелчок левой кнопкой мыши на категории *Routing* (правила, учитываемые при трассировке) и раскрыть список имеющихся здесь типов.

4. Выполнить двойной щелчок левой кнопкой мыши на типе правил *Width* и один раз левой кнопкой мыши на правиле *Width*. В правой части окна появится описание данного правила (рис. 10). Если необходимо добавить правило такого же типа, то правило *Width* следует переименовать.

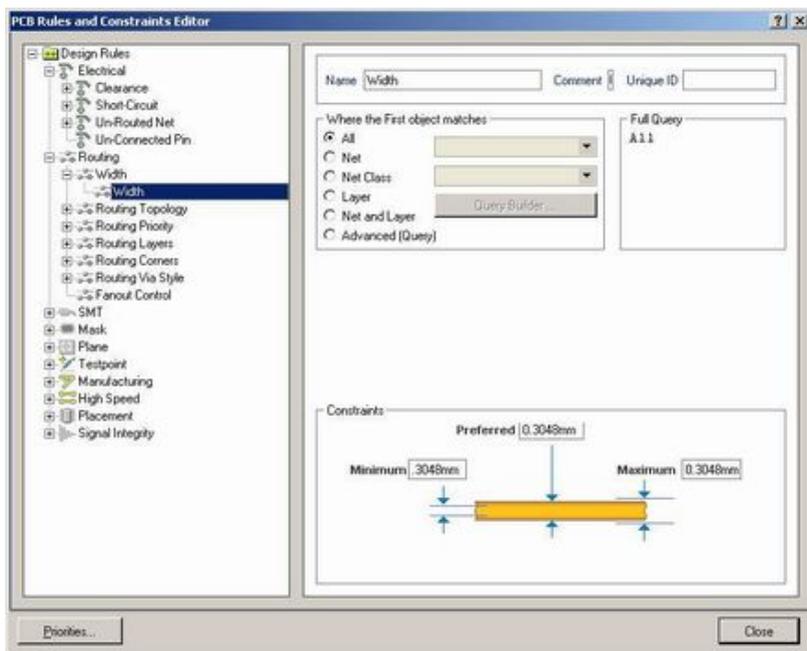


Рис. 10. Настройка правил проектирования

5. Для добавления проводников, отличающихся шириной, на-
пример проводников питания:

- выполнить щелчок правой кнопкой мыши на дереве правил слева и в появившемся всплывающем меню выбрать команду *New Rule*, после чего в списке появится новое правило *Width*;
- щелкнуть левой кнопкой мыши на этом правиле, чтобы войти в режим его редактирования;
- в поле *Name* ввести новое имя «Цепи питания»;
- в поле задания области действия правила выбрать опцию *Net*, а в выпадающем списке напротив неё – цепь 12V. В поле *Full Query* появится описание запроса *InNet('12V')*;
- для добавления к этой области действия еще одной цепи («земли») будем использовать редактор запросов, для чего выбрать опцию *Advanced (Query)* и нажать ставшую активной кнопку *Query Builder*. Появится диалоговое окно *Query Helper*;
- щелкнуть указателем мыши справа от текста *InNet('12V')* и нажать кнопку *Or*;

- в списке слева внизу щелкнуть на категории действий *Membership Check* (проверка принадлежности). В поле справа откроется список доступных функций проверки принадлежности;
- дважды щёлкнуть левой кнопкой мыши на операторе *InNet*. В поле конструктора запросов после оператора *Or* появится функция *InNet* с выпадающим списком, предлагающим выбрать нужную цепь;
- выбрать цепь *GND*. Запрос примет вид *InNet('12V') Or InNet(GND)*;
- нажать кнопку *Check Syntax*, чтобы проверить правильность составления запроса;
- закрыть конструктор запросов нажатием кнопки *OK*. В окне описания правила проектирования в поле *Full Query* появится только что созданный запрос;
- задать суть правила – численное значение ширины проводника. Эти установки выполняются в текстовых полях на рисунке в нижней части окна. Устанавливаемое рекомендуемое (*Preferred*) значение ширины используется при интерактивной или автоматической трассировке, а минимальное и максимальное – для контроля ошибок *DRC (Design Rules Checking)*. Ввести, например, во все поля значения 2 mm;
- закрыть диалоговое окно *PCB Rules and Constraints Editor*.

Теперь при автоматической или ручной трассировке ширина проводников цепей питания будет всегда равна 2 мм, в то время как все остальные проводники будут более тонкими.

Полный список доступных в системе *Protel DXP* правил проектирования приведен в табл. 1.

Таблица 1

Правила проектирования

Категория	Тип	Описание
Электрические	Clearance (ограничение зазора между проводниками)	Определяет минимально допустимый зазор между любыми двумя объектами на сигнальном слое
	<i>Short-Circuit</i> (короткое замыкание цепи)	Проверяет наличие короткого замыкания между цепями

Категория	Тип	Описание
	<i>Un-Routed Net</i> (неразведённые цепи)	Проверяет статус завершения цепей, попавших в указанную область. Если прокладка цепи недовыполнена, то каждая неразведённая часть цепи заносится в список, где указывается коэффициент её разведения (%)
	<i>Un-Connected Pin</i> (неприсоединённые выводы)	Выявляет выводы, не соединённые с проводниками
<i>Routing</i> (учитываемые при трассировке)	<i>Width</i> (ограничение ширины проводников)	Определяет min, max и рекомендуемую ширину проводников на сигнальном слое
	<i>Routing Topology</i> (топология трассировки)	Определяет порядок или образец соединения выводов проводниками. По умолчанию преследуется min суммарной длины соединений. На отдельные цепи могут накладываться требования: для минимизации отражённых сигналов применяется последовательная топология (цепочка), для заземления – «звезда»
<i>Routing</i> (учитываемые при трассировке)	<i>Routing Priority</i> (приоритет)	Цепям при этом присваивается приоритет от 100 до 0
	<i>Routing Layers</i> (слои)	Определяет слои, используемые при трассировке
	<i>Routing Corners</i> (углы изгиба проводников)	Стиль излома проводника, используемый при трассировке
	<i>Routing Via Stile</i> (стиль переходных отверстий)	Определяет диаметры пятна металлизации и переходного отверстия
	<i>Routing Control</i>	Определяет стиль подведения проводников к контактным площадкам
<i>SMT</i> (технология поверхностного монтажа)	<i>SMD to Corner</i> (минимальное расстояние до изгиба)	Определяет минимальное расстояние от центра контактной площадки до ближайшего изгиба подключенного к ней проводника
	<i>SMD to Plane</i> (максимальное расстояние до переходного отверстия)	Определяет максимальное расстояние от центра контактной площадки до ближайшего переходного отверстия

Категория	Тип	Описание
	<i>SMD next Down</i> (скачок ширины проводника)	Определяет максимальное отношение ширины проводника к ширине контактной площадки (%)
<i>Plane</i> (слои питания и заземления)	<i>Power Plane Connect Style</i> (стиль соединения выводов со слоем питания)	Определяет стиль соединения выводов со слоем питания: непосредственное, с тепловым барьером
<i>Plane</i> (слои питания и заземления)	<i>Power Plane Clearance</i> (зазоры)	Определяет радиальный зазор вокруг переходного отверстия или контактной площадки, проходящих через слой питания, не соединённых с ним
	<i>Polygon Connect Style</i> (стиль соединения выводов с полигоном)	Определяет стиль соединения выводов с металлизированным полигоном: непосредственное, с тепловым барьером
<i>Testpoint</i>	<i>Testpoint Style</i> (стиль контрольных точек)	Определяет размеры переходных отверстий и контактных площадок контрольных точек
	<i>Testpoint Usage</i> (использование контрольных точек)	Определяет цепи, требующие добавления контрольных точек
<i>Manufacturing</i> (производство)	<i>Minimum Annular Ring</i> (минимальный размер контактных площадок)	Определяет минимально допустимый размер контактных площадок
	<i>Acute Angle</i> (ограничение острых углов)	Определяет минимально допустимый угол излома проводника
	<i>Hole Size</i> (диаметр отверстий)	Определяет минимально и максимально допустимые значения диаметров отверстий
	<i>Layer Pairs</i> (пары слоёв)	Проверяет соответствие используемых пар слоёв для сверления
<i>High Speed</i> (для «быстрых» плат)	<i>Parallel Segments</i> (ограничение длины параллельных сегментов)	Определяет длину параллельных сегментов двух проводников
	<i>Length</i> (ограничение длины проводника)	Определяет минимально и максимально допустимую длину проводника
	<i>Matched Net Lengths</i> (длины согласованных цепей)	Определяет меру разницы длин цепей
	<i>Daisy Chain Stub Length</i> (ограничение на длину шлейфа)	Определяет максимально допустимую длину шлейфа для топологии «цепочка»

Категория	Тип	Описание
	<i>Vias Under SMD</i> (переходные отверстия под <i>SMD</i>)	Устанавливает возможность размещения переходов во время автотрассировки под контактными площадками при поверхностном монтаже
	<i>Maximum Via Count</i> (ограничение числа переходных отверстий)	Определяет максимально допустимое число переходных отверстий
<i>Placement</i> (при размещении)	<i>Room Definition</i> (области размещения)	Определяет прямоугольную область, в которой либо разрешено, либо запрещено размещение некоторого набора элементов
<i>Placement</i> (при размещении)	<i>Component Clearance</i> (расстояние между элементами)	Устанавливает минимально допустимое расстояние между элементами
	<i>Component Orientation</i> (ориентация элементов)	Определяет допустимую ориентацию элементов
	<i>Permitted Layers</i> (разрешённые слои)	Определяет, на каких слоях могут размещаться программой Cluster Place компоненты
	<i>Nets to Ignore</i> (игнорирование цепей)	Определяет, какие цепи программа Cluster Place будет игнорировать
<i>Signal Integrity</i> (при анализе сигналов)	<i>Signal Stimulus</i> (входные)	Определяет характеристики входных сигналов, используемых при анализе целостности
	<i>Overshoot – Failing Edge</i> (отрицательный выброс на заднем фронте)	Определяет максимально допустимый отрицательный выброс на заднем фронте относительно высокого уровня напряжения
	<i>Impedance</i> (требования к импедансам)	Определяет минимально и максимально допустимый импеданс цепи
	<i>Signal Top Value</i> (напряжение сигнала высокого уровня)	Определяет минимально допустимое напряжение высокого уровня
	<i>Signal Base Value</i> (напряжение сигнала низкого уровня)	Определяет максимально допустимое напряжение низкого уровня

Категория	Тип	Описание
<i>Signal Integrity</i> (при анализе сигналов)	<i>Flight Time – Rising Edge</i> (задержка переднего фронта)	Определяет максимально допустимое время задержки переднего фронта
	<i>Slope – Rising Edge</i> (крутизна переднего фронта)	Определяет максимально допустимое значение крутизны переднего фронта
	<i>Flight Time – Falling Edge</i> (задержка заднего фронта)	Определяет максимально допустимое время задержки заднего фронта
	<i>Slope – Falling Edge</i>	Определяет максимально допустимое значение крутизны заднего фронта
	<i>Supply Nets</i>	Задаёт цепи питания, их напряжения

1.5. Размещение компонентов на плате вручную

Алгоритм действий

1. Для настройки оптимального масштаба отображения проекта платы следует нажать горячие клавиши *V*, *D* или *Ctrl* + колёсико мыши.

2. Чтобы переместить элемент в нужное место платы, необходимо навести на него указатель мыши, нажать и удерживать левую кнопку мыши (указатель мыши изменит вид на крестик и автоматически захватит опорную точку компонента); удерживая левую кнопку мыши, переместить компонент, затем отпустить кнопку.

Если во время перемещения нажать на клавишу *Spacebar*, то компонент будет повернут на угол, заданный в настройках редактора печатных плат на вкладке *Options* диалогового окна *Preferences* (вызывается командой меню *Tools | Preferences*). По умолчанию задан шаг поворота 90° . Минимально допустимый угол поворота в системе *Protel DXP* равен $0,001^\circ$.

Если во время перемещения нажать клавишу *L*, то компонент будет перенесён с верхней стороны платы на нижнюю. Эту операцию не следует путать с обычным зеркальным отображением объекта, выполняемым с помощью клавиш *X* и *Y*, о чём на экран выдается соответствующее сообщение.

Обратите внимание, что захватывать следует именно сам компонент, а не его позиционное обозначение. Позиционное обозначение может быть перемещено отдельно от компонента. После этого при перемещении самого компонента оно переносится и поворачивается вместе с ним, сохраняя своё относительное местоположение.

Также при перемещении компонента на экране появляются две связанные линией цветные точки, показывающие геометрические центры старой и новой позиции компонента (точки привязки). Эти точки показываются зелёным цветом, если система считает текущее положение компонента удачным по совокупности признаков: отсутствию нарушения правил проектирования, контролирующих зазоры между компонентами, и оптимальному расположению линий связи. В противном случае точки отображаются красным цветом (последующие перемещения других компонентов могут изменить их положение).

3. Система *Protel DXP* имеет мощные средства интерактивного размещения компонентов. Например, для расположения группы элементов на плате в один ряд с одинаковым шагом необходимо выделить её: удерживая нажатой клавишу *Shift*, выполнить щелчок левой кнопки мыши на каждом из них. Резисторы будут подсвечены серым цветом. Для выравнивания выделенных компонентов по верхнему краю следует нажать кнопку *Align Components by Top Edges* (выровнять по верхнему краю) на панели инструментов *Component Placement* или выполнить команду меню *Tools | Interactive Placement | Align Top*. Чтобы разместить компоненты с одинаковым шагом, используют кнопку *Make Horizontal Spacing of Components Equal* или выполняют команду меню *Tools | Interactive Placement | Horizontal Spacing | Make Equal*. С помощью кнопок *Increase Horizontal Spacing of Components* и *Decrease Horizontal Spacing of Components* шаг между компонентами можно увеличить или уменьшить.

Изменение топологического посадочного места компонента

Допустим, что в процессе размещения компонентов выяснилось, что выбранные компоненты, например конденсаторы, слишком большие и требуется изменить для них тип посадочного места. Сначала необходимо найти подходящее топологическое посадочное место в библиотеке:

– вызвать панель просмотра библиотек *Libraries*;

- в выпадающем списке указать имя библиотеки *Miscellaneous Devices.IntLib*;
- включить опцию *Footprints*;
- задать фильтр поиска, например *RAD*.

В списке ниже будут показаны четыре топологических посадочных места, самым малогабаритным из которых будет *RAD-0.1*.

Заменить топологическое посадочное место можно вручную. Двойным щелчком левой кнопки мыши вызывается окно редактирования параметров компонента. В поле *Footprint* указывается новый тип *RAD-0.1*, далее следует нажать *OK*.

Когда приходится иметь дело с большим числом компонентов, гораздо эффективнее будет использовать функцию глобального редактирования, базирующуюся на конструкторе запросов, которая позволяет менять параметры у наборов компонентов, выделенных по определенному признаку. Для этого нужно:

- выполнить щелчок правой кнопкой мыши на любом из элементов и в появившемся меню выбрать команду *Find Similar Objects*;
- в открывшемся окне *Find Similar Objects* указать критерий отбора компонентов «все конденсаторы с топологическим посадочным местом *RAD-0.3*», для чего в строке *Footprint* справа в выпадающем списке должна быть установлена опция *Same*;
- в нижней части окна включить опцию *Select Matching* для выделения всех компонентов, удовлетворяющих данному критерию, и нажать кнопку *Apply* (применить). На экране появится панель *List* (рис. 11), в верхней части которой будет показано текстовое описание запроса, а в нижней части приведен список объектов чертежа печатной платы, удовлетворяющих этому запросу. При необходимости данный запрос можно расширить с помощью конструктора запросов, вызываемого кнопкой *Helper*;
- нажать кнопку *OK* в окне *Find Similar Objects* для подтверждения правильности выбора. Элементы на плате окажутся выделенными серым цветом;
- вызвать панель *Inspector* (рис. 12) с помощью кнопки *Inspect*, расположенной в нижней части экрана;
- ввести в поле *Footprint* новый тип топологического посадочного места *RAD-0.1* и нажать *Enter*;
- закрыть панель *Inspector*.

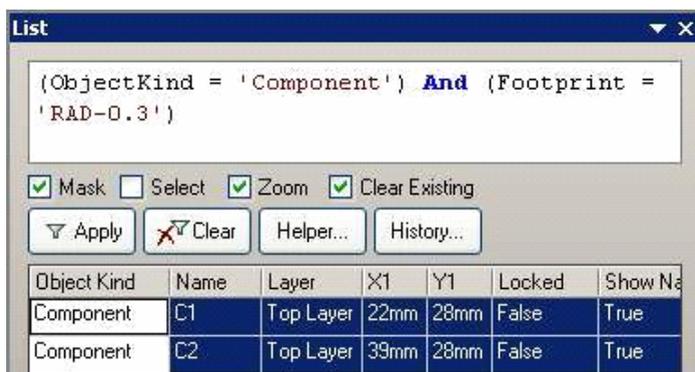


Рис. 11. Панель *List*

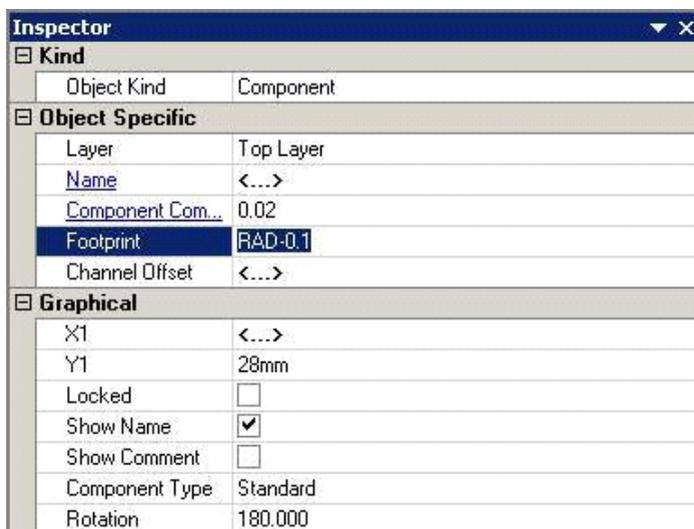


Рис. 12. Панель *Inspector*

Снять выделение с элементов можно щелчком левой кнопки мыши в пустом месте чертежа. Снять маскирование – нажатием комбинации клавиш *Shift + C*. Сохранить проект платы – командой *File | Save*.

1.6. Автоматизированные инструменты размещения

Система *Protel DXP* имеет две встроенные программы автоматического размещения компонентов *Cluster Placer* и *Statistical Placer*. Первая рекомендуется для работы с платами, имеющими не более ста компонентов. Вторая программа использует более мощный алгоритм, анализирующий длины цепей и обрабатывающий большее число компонентов. Но в общем случае обе программы могут рекомендоваться только как вспомогательный инструмент при интерактивном размещении, когда часть компонентов предварительно размещается вручную и блокируется.

1.6.1. Авторазмещение с помощью программы *Cluster Placer*

Необходимо задать правила проектирования, определяющие минимально допустимые зазоры между компонентами на плате и учитываемые программой *Cluster Placer* в процессе работы. Выполнить команду меню *Design | Rules* (горячие клавиши *D, R*).

Правила *Height* и *Component Clearance* задаются автоматически.

Правило *Component Clearance* в категории *Placement* регламентирует расстояние между компонентами на плате. После щелчка левой кнопкой мыши на правиле *Component Clearance* в правой части окна открывается описание данного правила. Следует указать область действия правила (подмножество объектов на печатной плате, на которое распространяется данное правило). Значение зазора задаётся в поле *Gap*. В выпадающем списке *Check Mode* указывается режим проверки правила. Режим *Quick Check* (быстрая проверка) не допускает наложение компонентов, на каком бы слое они ни находились, а в качестве границы компонента использует прямоугольник, охватывающий все примитивы компонента. Режим *Multi Layer Check* также ограничивает компонент прямоугольником, но учитывает слой, на котором компонент расположен. Режим *Full Check* проверяет наложение компонентов друг на друга с точным учётом всех составляющих их графических примитивов. Однако он работает только в режиме пакетной проверки правил проектирования (*DRC*).

Традиционно считается, что автоматическое размещение с помощью большинства программ выполняется плохо. Однако в ряде

случаев виноваты сами пользователи, которые недостаточно внимания уделяют подготовительному этапу. Чем хуже пользователь опишет критерии, которые должна использовать в работе программа расстановки, тем худший будет получен результат.

По команде меню *Tools | Auto Placement | Auto Placer...* программа выполнит размещение компонентов, начиная с левого нижнего угла платы с учетом контура на слое *Keep-Out*. Если компоненты подсвечены зелёным цветом, это говорит о наличии нарушений правил проектирования.

Расталкивание близко расположенных компонентов можно выполнить с помощью инструмента *Shove* (меню *Tools | Auto Placement | Set Shove Depth*). В окне *Shove Depth* задаётся значение глубины расталкивания — максимальное число отталкиваемых компонентов при соблюдении правил контроля зазоров. Это число на практике для относительно простых плат рекомендуется задавать не большим 5–10, чтобы было легко отслеживать вносимые изменения. При выполнении команды меню *Tools | Auto Placement | Shove* указатель мыши наводится на один из компонентов, подсвеченных зеленым цветом, и выполнением щелчка левой кнопки мыши все компоненты, расположенные вокруг него, будут отодвинуты в разные стороны так, чтобы выполнялось правило контроля зазоров между ними.

В режиме медленного размещения программа анализирует список соединений на предмет оптимизации длин связей, а также учитывает большее число правил проектирования. В этом случае крайние компоненты отодвигаются от контура на слое *Keep-Out*. Программа работает тем медленнее, чем больше компонентов на плате, а при их числе свыше 100 возможно полное зависание системы *Protel DXP*, связанное с нехваткой оперативной памяти. Ход выполнения размещения можно отслеживать по линейке в строке состояния, расположенной в левом нижнем углу экрана.

1.6.2. Авторазмещение с использованием областей (Room Definition)

Выполняется по команде меню *Design | Rooms | Place Rectangular Rooms*. Редактирование правил производится после нажатия клавиши *Tab*.

Щелчком левой кнопки мыши недалеко от левого верхнего угла платы задаётся первый угол прямоугольника. Вторым щелчком после сдвига мыши — второй угол.

В результате работы программы элементы будут размещены исключительно в пределах своей области. Таким образом, области *Room Definition* представляют собой инструмент осмысленного управления программой размещения *Cluster Placer*. Если учесть, что эти области и классы компонентов можно создавать автоматически при передаче данных из принципиальной схемы в проект печатной платы, то это значительно упрощает труд разработчика.

1.6.3. Авторазмещение с помощью программы *Statistical Placer*

Эта программа автоматического размещения предназначена для обработки плат с большим числом компонентов (свыше ста). Она работает по принципиально другим алгоритмам и не учитывает никакие из вышеперечисленных правил проектирования. Главным критерием правильного размещения компонентов здесь считается равномерное распределение компонентов на плате при оптимальной плотности связей.

1.6.4. Блокировка компонентов

Для блокировки компонентов на плате при их размещении в вызванном двойным щелчком левой кнопки мыши на любом из компонентов окне редактирования параметров компонента включается опция *Locked* в поле *Component Properties*.

Компонент будет заблокирован от перемещения с помощью мыши, а при попытке его перемещения в составе сложного выделения группы компонентов (например, окном охвата) будет выдаваться соответствующее предупреждение.

Окном охвата или щелчком левой кнопки мыши при нажатой клавише *Shift* выделяется группа компонентов. Опция *Locked* включается в панели *Inspector*.

1.7. Ручная трассировка платы

По окончании размещения компонентов можно приступить к трассировке соединений печатной платы. Трассировкой называется процесс прорисовки проводников на сигнальных слоях платы, соединяющих выходы компонентов согласно списку соединений. Система *Protel DXP* предлагает пользователю ряд инструментов, позволяющих выполнять трассировку печатных плат как в автоматическом, так и полуавтоматическом режимах.

Ручная трассировка цепей представляет собой прорисовку полилиний на нужном слое по следующему алгоритму.

1. Выполнение команды меню *Place | Interactive Routing* или нажатие кнопки *Interactive Routing*, расположенной на панели инструментов *Placement*. Указатель мыши примет вид крестика, который вписывается в узлы сетки *Snap Grid*.

Система *Protel DXP* позволяет прокладывать сегменты проводников непосредственно из центров электрических объектов (контактных площадок, переходных отверстий) или концов существующих проводников без привязки к сетке *Snap Grid*. Оперативное включение/выключение электрической сетки *Electrical Grid* в процессе работы выполняется сочетанием клавиш *Shift + E*.

2. Нажатие клавиши *L*, включение отображения слоёв *Top Layer* и *Bottom Layer* в появившемся окне *Board Layers and Colors* и закрытие окна с помощью кнопки *OK*. Проверить, какой из этих сигнальных слоёв выбран текущим, взглянув на вкладки с названиями активных слоёв проекта в нижней части экрана. Выбор текущего слоя осуществляется щелчком левой кнопки мыши на соответствующей вкладке, и если сработает функция автопанорамирования чертежа, в результате чего рисунок просто «убежит» за пределы окна, вернуть его на место можно нажатием клавиш *V, F*. Переключить текущий слой можно нажатием клавиши «*» на цифровой клавиатуре. Эта клавиша осуществляет последовательный перебор всех сигнальных

слоев. Для перебора всех без исключения активных слоев используются клавиши «+» и «-» на цифровой клавиатуре.

3. Подведение указателя мыши к какому-нибудь выводу. Указатель мыши сначала будет следовать сетке *Snap Grid*, оперативное изменение которой осуществляется нажатием клавиши *G*, а потом захватит центр контактной площадки и изменит свой вид на восьмиугольник. Если этого не происходит, это означает, что электрическая сетка выключена. Чтобы включить её, нужно нажать *Shift + E*.

4. Щелчком левой кнопки мыши и сдвигом указателя мыши начнется прокладка проводника. Следует обратить внимание на то, что на экране появятся три сегмента линии: прокладываемый (закрашенный), предсказываемый (незакрашенный) и линия связи (тонкая). Это говорит о том, что редактор плат системы *Protel* прорисовывает проводники с предсказанием, то есть текущее положение курсора показывает конец не прокладываемого сейчас, а следующего сегмента. Таким образом можно избежать лишних изломов полилинии при неточном указании её конечных вершин.

Как и в редакторе схем, в редакторе плат имеется несколько режимов и подрежимов прорисовки проводников, но здесь их больше, так как имеется возможность прорисовки дуг. Последовательное переключение режимов производится одновременным нажатием клавиш *Shift + Spacebar*, подрежимов – нажатием клавиши *Spacebar*.

5. Выполнением щелчка левой кнопкой мыши завершается прорисовка первого сегмента проводника. Завершение прорисовки проводника выполняется нажатием правой кнопки мыши или клавиши *Esc*. Редактор останется в режиме рисования.

6. Редактирование уже проложенных проводников:
- проверка включения функции автоматического удаления замкнутых петель проводников, которая управляется опцией *Automatically Remove Loops*, расположенной в поле *Interactive Routing* на вкладке *Options* диалогового окна *Preferences*, вызываемого командой меню *Tools | Preferences*;
 - наведение курсора на вывод элемента и щелчок левой кнопкой мыши без удаления проложенного проводника;
 - выбор нужного режима прокладки проводников нажатием комбинации клавиш *Shift + Spacebar*;

- последовательное наведение указателя мыши на другие концы проводника и щелчок по одному разу на них левой кнопкой мыши;
- завершение прорисовки проводника нажатием правой кнопки мыши или клавиши *Esc*. Система автоматически удалит все старые сегменты проводников, образующие замкнутые петли.

Прорисовка первой цепи не должна вызвать трудностей, а вот при прорисовке завершающего маршрута система может отказаться прокладывать проводник, так как при этом прокладываемый сегмент проводника будет касаться контактной площадки или другой цепи (нарушение установленного правила). В этом случае необходимо проложить проводник по-другому.

7. Если очередной сегмент проводника будет пересекать ранее проложенные проводники на выбранном слое (*bottom*), система откажется прорисовать не только прокладываемый, но и предсказываемый сегменты. У пользователя при этом имеется альтернатива: обходить существующие препятствия, оставаясь на данном слое, или перейти на другой сигнальный слой. Для прорисовки проводников на нескольких слоях необходимо выполнить следующие действия:

- навести указатель мыши на первый вывод трассы, выполнить на нём щелчок левой кнопкой мыши, после чего сдвинуть указатель ко второму её концу;
- перейти на другой слой платы (*Top Layer*) нажатием клавиши «*» на цифровой клавиатуре. Прокладываемый сплошной сегмент останется синим, контур предсказываемого сегмента изменит цвет на красный, а в точке излома появится круглое переходное отверстие. Размеры переходного отверстия будут определяться настройками правила проектирования *Routing Via Style* для данной цепи;
- выполнить щелчок левой кнопкой мыши, чем зафиксируется длина первого сегмента и положение переходного отверстия. Прокладываемым станет второй сегмент, проходящий по второму слою и показанный другим цветом;
- снова перейти на нижний слой нажатием клавиши «*» на цифровой клавиатуре. На конце второго сегмента появится новое переходное отверстие. Цвет предсказываемого проводника станет первоначальным;

- выполнить щелчок левой кнопкой мыши на контактной площадке, чем зафиксируется длина второго сегмента и второго переходного отверстия;
- выполнить еще один щелчок левой кнопкой мыши на контактной площадке, чем зафиксируется на ней конец последнего, третьего сегмента проводника;
- завершить прорисовку проводника нажатием правой кнопки мыши или клавиши *Esc*.

В результате этих действий на плату добавились два переходных отверстия. В общем случае стоимость и надежность печатной платы зависят от числа используемых на ней переходных отверстий, поэтому одна из основных целей разработчика – минимизация их числа. Очевидно, что если бы мешающие сегменты ранее проложенных цепей располагались на верхнем слое, то проводник из последнего примера мог бы быть проложен целиком на нижнем слое, а переходные отверстия были бы не нужны вовсе. Межслойное соединение сегментов при этом осуществлялось бы через металлизированные отверстия в контактных площадках элементов. Для исправления этого может потребоваться перенести сегмент проводника (или весь проводник) на другой слой. Для этого нужно выполнить двойной щелчок левой кнопкой мыши на сегменте проводника. Откроется окно редактирования параметров объекта *Track* (рис. 13). Задать в выпадающем списке *Layer* новый слой *Top Layer* и нажать кнопку *OK*. Если цвет пересекающихся проводников изменится на зелёный, это означает, что данные объекты нарушают некие правила проектирования. Для проверки, какое именно правило нарушено, можно, щёлкнув на закладке *PCB*, перейти на панель управления и выбрать в выпадающем списке опцию *Rules*. Двойной щелчок на нарушении вызовет диалоговое окно *Violation Details* с его подробным описанием.

При этом методе на плате останутся переходные отверстия, которые придётся удалять отдельно. Более эффективно редактирование проводников в интерактивной трассировке. Для этого нужно выполнить команду меню *Place | Interactive Routing*. Нажатием клавиши «*» перейти на слой *Bottom Layer*. Навести указатель мыши на одно из переходных отверстий и выполнить щелчок левой кнопкой мыши. Навести указатель на второе переходное отверстие и выпол-

нить щелчок левой кнопкой мыши, чем зафиксируется новый сегмент. Завершить прорисовку проводника нажатием правой кнопки мыши. Проводник будет перерисован заново, так как петля замкнулась по другому слою. При этом все ненужные объекты цепи (в данном случае два переходных отверстия) будут удалены автоматически.

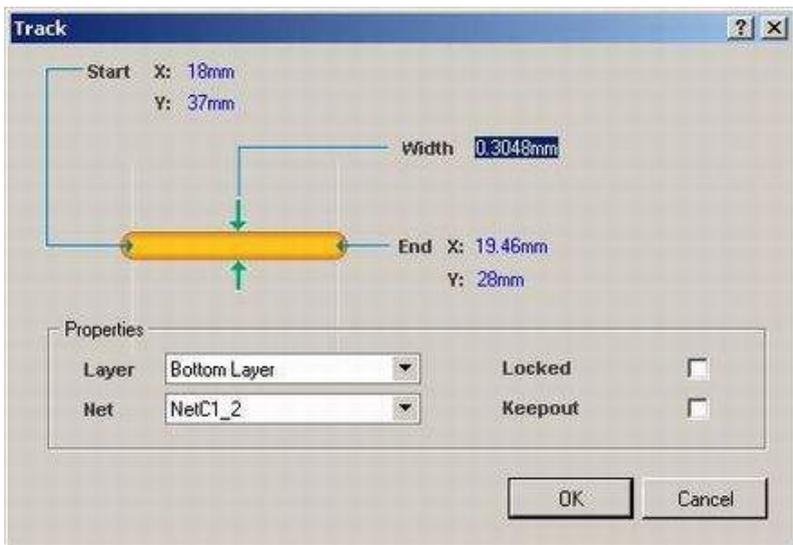


Рис. 13. Окно редактирования параметров объекта

8. Развести цепи питания аналогичными действиями. Если потребуется, изменить правила трассировки в отношении размеров контактных площадок и ширины проводников. Нажатием клавиши *Tab* открывается окно *Interactive Routing* (рис. 14).

Если проводник оказался расположенным не на правильном слое платы, перенести его. Для этого необходимо:

- выйти из режима рисования;
- выделить сегмент;
- в контекстном меню (вызывается щелчком правой кнопки мыши) выбрать команду *Find Similar Objects*, указать критерии отбора компонентов и нажать кнопку *Apply*, подтвердить их нажатием кнопки *OK* в окне *Find Similar Objects*;

- вызвать панель *Inspector* с помощью кнопки *Inspect*, расположенной в нижней части экрана, и в строке *Layer* в выпадающем списке указать новый слой для данных объектов *Bottom Layer*.

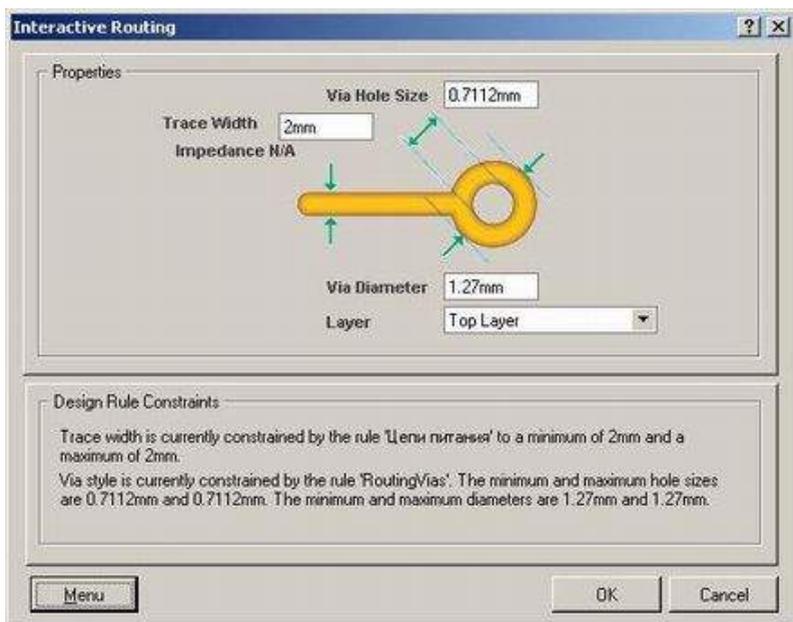


Рис. 14. Окно задания параметров интерактивной трассировки

9. При необходимости отредактировать проводники. В системе *Protel DXP* имеются два способа изменения местоположения проводников: перемещение (*Move*) и перетаскивание (*Drag*). В первом случае сегмент проводника ведет себя как автономный объект, а во втором – как элемент полилинии, то есть прилегающие сегменты будут «тянуться» за ним.

Пользователи, ранее работавшие в системе *P-CAD*, после перехода на *Protel* по привычке пытаются захватить сегмент и, удерживая левую кнопку мыши, переместить его в новое место. Такое действие называется перемещением и равносильно выполнению команды *Edit | Move | Move* (горячие клавиши *E, M, M*). Цепь при этом разрывается.

Чтобы цепь не разрывалась, следует выполнить перетаскивание сегмента, для чего сначала один раз щёлкнуть левой кнопкой

мышь, а после того, как он подсветится, захватить и перетащить. Такое действие равноценно выполнению команды *Edit | Move | Drag* (горячие клавиши *E, M, D*). При использовании описанных команд меню перемещение и перетаскивание выполняются без удержания левой кнопки мыши.

Функция расталкивания препятствий

По умолчанию задан режим уклонения от препятствий, согласно настройке *Avoid Obstacle* на вкладке *Options* диалогового окна *Preferences*, вызываемого командой меню *Tools | Preferences*. Имеются еще два режима: игнорирования (*Ignore Obstacle*) и расталкивания препятствий (*Push Obstacle*). Переключение режимов осуществляется нажатием комбинации клавиш *Shift + R*. В режиме расталкивания препятствий мешающий проводник будет автоматически отодвигаться по мере перемещения мыши. Новое положение мешающего проводника определяется правилами проектирования, регламентирующими зазоры. Режим расталкивания препятствий не работает в режиме рисования под произвольным углом. В этом случае возможны только уклонение от препятствий или игнорирование их.

1.8. Автоматизированная трассировка

Рекомендуется перед трассировкой делать копию разработанной печатной платы для последующих экспериментов.

Чтобы существующие на плате проводники не мешали, можно воспользоваться командой меню *Tools | Un-Route | All* (горячие клавиши *U, A*).

Обратите внимание на другие команды данного раздела меню, которые позволяют удалять проводники цепей целиком (*Net*), отдельных их связей (*Connection*), все связи определенного компонента (*Component*) и все связи внутри области размещения (*Room*). Эти команды могут использоваться в процессе работы над платой.

Трассировка выполняется по команде меню *Autoroute | All* (горячие клавиши *A, A*). Будет предложен выбор стратегии автоматической трассировки. На экране появится диалоговое окно *Situs Routing Strategy* (рис. 15). Здесь на вкладке *Strategy* присутствуют пять заранее заданных эталонных стратегий трассировки:

- 1) *Cleanup* – «чистка» топологии;
- 2) *Default 2 Layer Board* – простая двухслойная плата;
- 3) *Default 2 Layer With Edge Connectors* – двухслойная плата с торцевым разъемом;
- 4) *Default Multilayer Board* – многослойная плата;
- 5) *Via Miser* – трассировка с минимизацией числа переходных отверстий.

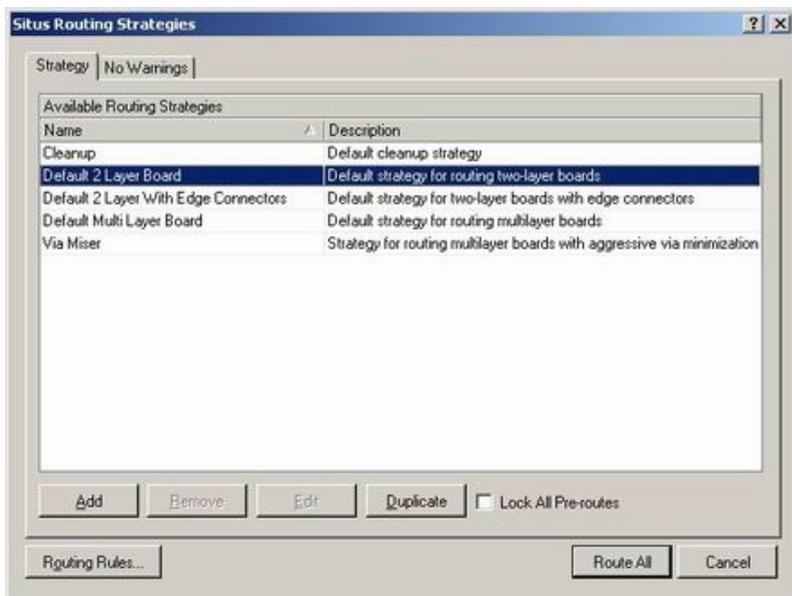


Рис. 15. Стандартные стратегии трассировки

После трассировки следует обновить изображение нажатием клавиши *End*.

1.8.1. Правила проектирования, учитываемые при трассировке

Рассмотрим набор правил проектирования, заданных для платы. Большинство из них были установлены при создании заготовки печатной платы с помощью мастера *PCB Board Wizard*, а часть – при интерактивной трассировке.

Правила настраиваются по команде меню *Design | Rules* (горячие клавиши *D, R*) щелчком левой кнопки мыши по категории

правил проектирования *Routing*. В правой части окна *PCB Rules and Constraints Editor* отобразится полный список заданных правил этой категории.

Правила имеют разные приоритеты, значения которых отображаются в столбце *Priority*. В общем случае приоритеты правил задаются автоматически по мере их назначения, то есть самый высокий приоритет будет иметь правило, назначенное последним. Самый высший приоритет обозначается числом 1. Приоритет правила можно изменить вручную. Для этого необходимо нажать кнопку *Priorities*, расположенную в левом нижнем углу *PCB Rules and Constraints Editor*. На экране появится диалоговое окно *Edit Rule Priorities*.

Приоритет понижается нажатием кнопки *Decrease Priority*.

Правило проектирования *Routing Topology* предписывает трассировать указанные в области действия правила одним из следующих способов: *Shortest* (кратчайший), *Horizontal* (преобладающий горизонтальный), *Vertical* (преобладающий вертикальный), *Daisy-Simple* (простая цепочка), *Daisy-MidDriven* (цепочка с источником внутри), *Daisy-Balanced* (сбалансированная цепочка) и *StarBurst* (звезда).

Правило *Routing Layer* задает слои трассировки. Его настройки разрешают трассировку для тех или иных слоев (основные *Top Layer* и *Bottom Layer*) и приоритетные направления на слоях (горизонтальная или вертикальная трассировка).

1.8.2. Настройка стратегии трассировки

У пользователя имеется возможность определять собственные стратегии как последовательности процедур трассировки. С помощью команды меню *Autoroute | All* (горячие клавиши *A, A*) вызывается диалоговое окно *Situs Routing Strategies*. Нажатием кнопки *Add* открывается окно *Situs Strategy Editor* (рис. 16).

Здесь в верхней части текстовых полей задаётся название стратегии и приводится её краткое описание, а специальный движок устанавливает степень минимизации числа переходных отверстий: *More Vias (Faster)* (больше отверстий – быстрее), *Less Vias (Slower)*. В левой нижней части окна приводится список доступных программе процедур трассировки (*Available Routing Passes*), а в правой – список процедур, включенных в новую стратегию по умолчанию.

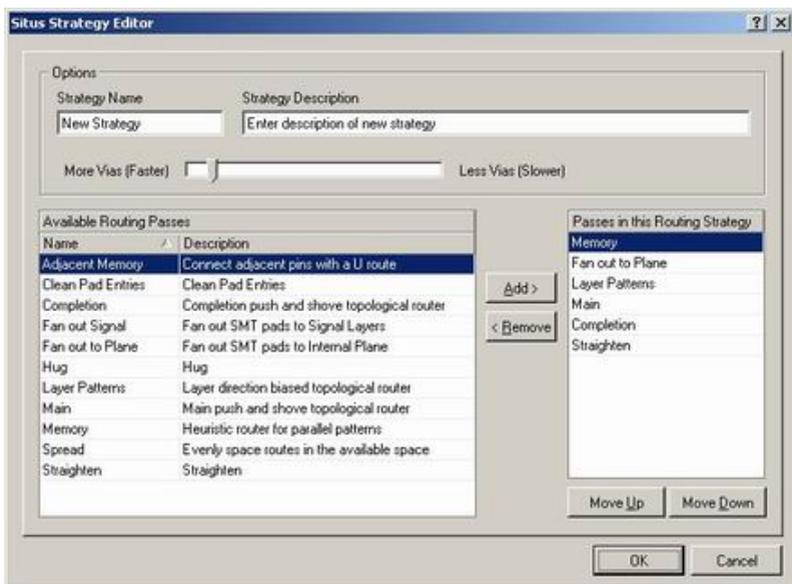


Рис. 16. Редактор пользовательской стратегии трассировки

Подробное описание процедур трассировки в документации отсутствует, равно как и рекомендации по их использованию. Служба технической поддержки компании *Altium* готовит к выходу более полное описание автотрассировщика *Situs*, поэтому здесь ограничимся их кратким описанием.

Таблица 2

Процедуры трассировки

Процедура	Основное назначение
<i>Adjacent Memory</i>	Соединяет соседние выводы U-образными проводниками
<i>Clean Pad Entries</i>	Чистит подходы к контактным площадкам
<i>Completion</i>	Добивается завершения трассировки, для чего использует методы разрыва и расталкивания препятствий
<i>Fan out Signal</i>	Прорисовывает стрингеры у SMD контактных площадок на сигнальных слоях
<i>Fan out to Plane</i>	Прорисовывает стрингеры у SMD контактных площадок с переходами на внутренние слои питания и заземления

Процедура	Основное назначение
<i>Hug</i>	Уплотняет проводники
<i>Layer Patterns</i>	Использует шаблоны трассировки с учетом преобладающего направления на слое
<i>Main</i>	Главная процедура топологической трассировки с использованием методов разрыва и расталкивания препятствий
<i>Memory</i>	Использует эвристический алгоритм на основе шаблонов
<i>Spread</i>	Равномерно использует доступное для прокладки проводников место
<i>Straighten</i>	Выполняет общую чистку топологии

Процедура *Straighten* выполняет спрямление и удаление небольших сегментов.

Если запускать автотрассировщик несколько раз последовательно без удаления проводников, то в конечном итоге топология улучшается.

В общем случае для достижения хорошего результата работы трассировщика надо соблюдать основные девять правил, приводимые службой технической поддержки в качестве руководства к действию.

1. Правильное задание правил проектирования согласно используемой технологии производства значительно повышает шансы получить качественную топологию.

2. При использовании компонентов с малым шагом выводов следует вводить дополнительные правила контроля зазоров между наиболее критическими контактными площадками.

3. Перед запуском автотрассировщика рекомендуется выполнить пакетную проверку правил проектирования (*DRC*) и устранить выявленные нарушения.

4. Правильное задание приоритетного направления на слоях платы даёт возможность значительно облегчить задачу трассировки, так как эта информация используется процедурой *Layer Patterns*.

5. Задание приоритетов трассировки позволяет сначала развести наиболее критические цепи.

6. Наиболее критические цепи следует развести вручную и заблокировать. Однако не следует слишком увлекаться блокировкой предва-

нительно разведенных цепей, так как все они будут представлять собой дополнительные препятствия при прокладке остальных цепей.

7. Рекомендуется предварительно оценить плотность проводников и выявить проблемные области. Трассировку в этих областях следует выполнять итерационно, с использованием команд обработки отдельных цепей и компонентов.

8. Не надо бояться экспериментировать. Если трассировщик не достигает нужного результата, следует изменить стратегию. Иногда введение промежуточной процедуры чистки платы или смена направления на слое могут значительно улучшить конечную топологию.

9. Ключом к достижению хорошей топологии является качественное размещение компонентов. Система *Protel DXP* имеет достаточно инструментов для того, чтобы облегчить пользователю и эту задачу.

Однако система *Protel DXP* имеет свои недостатки: попытка внедрить методы топологической трассировки и переход с бессточной технологии не прошли безболезненно. Программа *Specctra* фирмы *Cadence* работает в 10 раз быстрее и оставляет меньше неразведенных связей.

1.8.3. Автотрассировка с помощью программы *Specctra*

Для тех, кого не устраивают результаты работы встроенного автотрассировщика, авторы системы *Protel DXP* предлагают интерфейс обмена данными с программой *Specctra* компании *Cadence*.

По команде меню *File | Save As* можно сохранить файл в формате *Export Specctra Design File (*.dsn)*.

При работе со сложными печатными платами нередко случаи, когда программе автотрассировки не удается полностью завершить прокладку всех без исключения проводников. Соответствующее сообщение появляется на панели *Messages* (вкладка *System*), однако в нём приводится лишь указание числа неразведенных связей и процент завершения. Неразведенные цепи показываются в редакторе печатных плат линиями связи, которые могут быть незаметны на фоне других проводников.

Выявить неразведенные цепи можно с помощью специального правила проектирования *Un-Routed Net* из категории *Electrical*. Прделаем следующее упражнение.

Выполнением команды меню *Tools | Design Rule Check* открывается окно настройки пакетной проверки правил проектирования *Design Rule Checker*. Нажатием кнопки *Run Design Rule Check* процесс проверки запускается. На экране открывается отчёт, содержащий описание выполненных проверок, в котором будут содержаться сообщения о выявленных нарушениях.

На панели управления редактором печатных плат после двойного щелчка левой кнопкой мыши на нарушении появится окно *Violation Details* с его подробным описанием. Нажатие на кнопку *Highlight* позволяет подсветить нарушение, а нажатие на кнопку *Jump* – переключить редактор в режим наиболее оптимального просмотра. Далее остаётся вручную нарисовать недостающий сегмент.

Иногда прокладка такого проводника может оказаться невозможной, например, из-за очень высокой плотности проводников на данном участке платы. В этом случае может потребоваться передвинуть тот или иной компонент. Если сделать это с помощью команд *Move, Drag* или *Drag Track End*, то подходящие к компоненту сегменты проводников придется перерисовывать. При большом количестве выводов это может оказаться достаточно трудоемкой операцией, а запуск автотрассировщика не даст хороших результатов, так как все уже проложенные проводники будут излишне усложнять задачу трассировки. В таком случае необходимо выполнять следующую последовательность действий.

- Выполнить команду меню *Tool | Un-Route | Component* (горячие клавиши *U, O*) и указать компонент, который вы собираетесь переместить.
- Нажатием клавиши *Esc* или щелчком правой кнопки мыши выйти из режима удаления проводников.
- Захватить и, удерживая левую кнопку мыши, переместить компонент в нужное место.
- Выполнить команду меню *Auto Route | Component* (горячие клавиши *A, O*) и указать компонент. Программа заново выполнит трассировку подходящих к нему цепей.

2. МОДЕЛИРОВАНИЕ РАБОТЫ СХЕМЫ

Система *Protel DXP* позволяет выполнять следующие виды анализа схем:

- аналого-цифровое моделирование с использованием алгоритмов *Berkeley SPICE3f5/XSPICE*;
- моделирование цифровых схем, описанных на языке *VHDL* (модуль *PeakFPGA*).

Аналого-цифровое моделирование мало чем отличается от моделирования в программном пакете *Micro-CAP*. Текстовый язык описания схем в формате *SPICE* является общим для *Protel DXP*, *Micro-CAP* и многих других программ.

2.1. Подготовка схемы к моделированию

При подготовке принципиальной схемы к моделированию следует помнить, что моделирование базируется на стандартном вычислительном ядре *SPICE*, поэтому не допускается использование русских букв. То есть все параметры, которые будут передаваться в список соединений в формате *SPICE*, должны содержать только латинские буквы и цифры. Тем не менее это никак не запрещает использование русского текста в надписях и неиспользуемых в моделировании атрибутах компонентов.

Последовательность подготовки схемы к моделированию начинается открытием документа схемы (*.*SchDoc*).

2.1.1. Замена разъёмов источниками питания

Разъёмы заменить источниками питания командой меню *View | Toolbars | Simulation Sources*. На панели инструментов *Simulation Sources* содержатся кнопки вызова, наиболее часто применяемые при моделировании источников сигналов.

Кнопка *Power Supply + 12 Volts* позволяет добавить в схему символ источника питания. Следует сдвинуть указатель мыши так, чтобы «минусовой» вывод источника соединился с концом сегмента цепи *GND*, оставшимся после удаления разъема, и выполнить щелчок левой кнопкой мыши. На схему будет добавлен новый символ, а система предложит разместить следующий источник. Выйти из режима размещения символов нажатием клавиши. Удерживая нажатой клавишу *Ctrl*, с помощью мыши переместить источник так, чтобы его «плюсовой» вывод соединился со свободным концом сегмента цепи 12V.

Двойным щелчком левой кнопки мыши на источнике войти в режим редактирования его параметров.

В окне *Component Properties* (рис. 17) ввести в поле *Designator* позиционное обозначение источника V1, а в поле *Comment* – текст «+12 В».

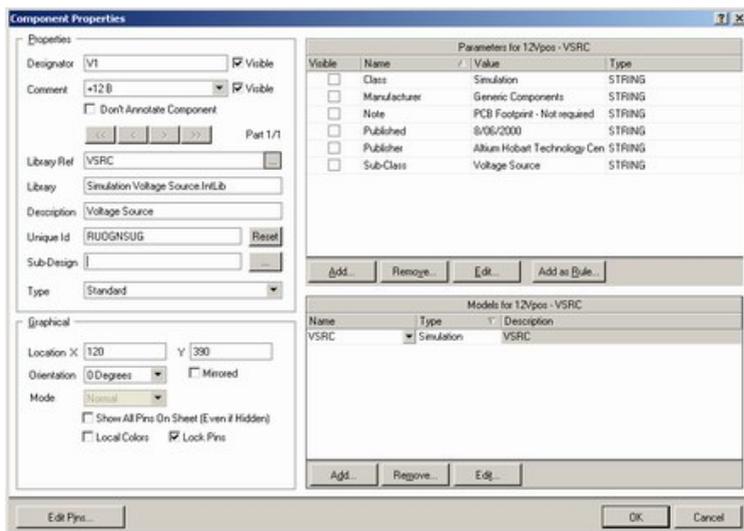


Рис. 17. Свойства компонента

Выполнить двойной щелчок левой кнопкой мыши на единственной модели, приведенной в списке *Models for V1 – VSRC* справа. Откроется окно *Sim Model – General / Generic Editor* (рис. 18), в котором имеются три вкладки в верхней части и три – в нижней. На вкладке *General* задаётся тип модели. Для данного источника в выпадающем списке *Model Kind* выбран тип *General* и подтип *Generic Editor*. В выпадающем списке *Spice Prefix* справа указана буква *V*, которая будет автоматически добавлена первой к обозначению элемента при формировании списка соединений в формате *Spice* и будет сигнализировать программе моделирования, что речь идет именно об источнике напряжения.

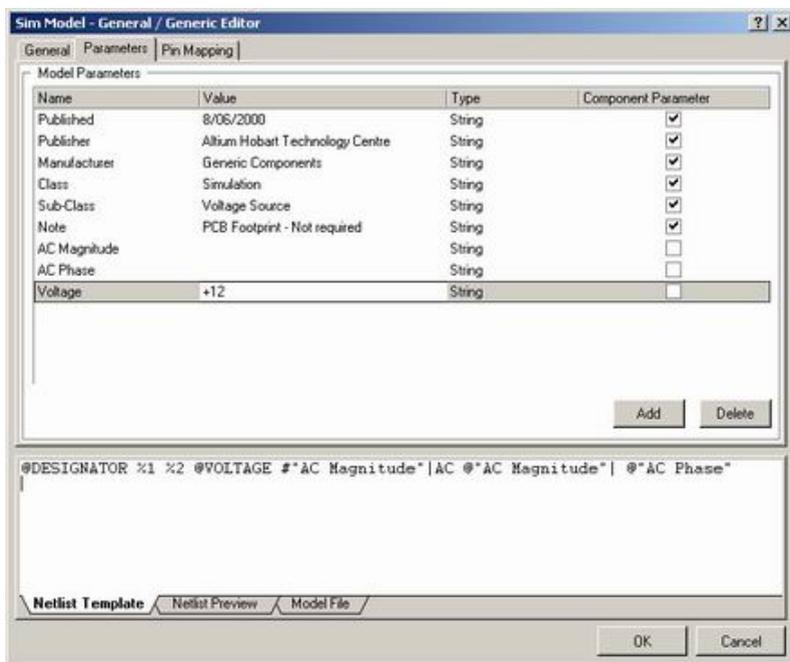


Рис. 18. Редактор моделей

Щелчком левой кнопки мыши на верхней вкладке *Parameters* перейти к списку параметров элемента, в том числе и *Voltage*, задающий выходное напряжение. В данном случае здесь указано значение +12, что без масштабирующего суффикса будет воспринято как +12 Вольт.

Если включить галочку напротив этого параметра, то он будет отображаться в списке *Parameters for 12V V1 – VSRC* предыдущего окна.

На вкладке *Pin Mapping* задаётся таблица соответствия между номерами выводов символа элемента и его модели.

На нижней вкладке *Netlist Preview* показан предварительный вид описания элемента в списке соединений *Spice*. Предварительный потому, что в нём не показаны имена цепей, которые будут известны только после компиляции проекта в процессе генерации списка соединений:

$$V1 <1> <2> +12.$$

Вкладка *Model File* пуста, так как для описания данного элемента не требуется внешнего файла модели [2].

2.1.2. Моделирование использованных в схеме транзисторов

При двойном щелчке левой кнопкой мыши на транзисторе открывается стандартное окно *Component Properties*, которое в списке *Models for VT1 – ...* будет содержать модели. Одна из них будет ссылкой на топологическое посадочное место (*Footprint*). Другая, *Signal Integrity*, является так называемой *IBIS*-моделью (*I/O Buffer Information Specification*). Третья модель – типа *Simulation*. Двойным щелчком левой кнопки мыши на ней открывается окно *Sim Model – Transistor / BJT*. Биполярный тип транзистора задается на вкладке *General*.

В отличие от модели источника питания, вкладка *Model File* не пустая. Здесь присутствует описание модели биполярного транзистора, которое впоследствии будет добавлено в список соединений *Spice*. Это описание извлекается из файла, указанного в поле *Model Location* вкладки *General*. Модель загружена из интегрированной библиотеки *Miscellaneous Devices.IntLib*.

2.1.3. Моделирование пассивных элементов

Помимо источника питания и транзисторов на схеме могут присутствовать резисторы, конденсаторы и пр. В качестве самостоятельного упражнения рекомендуется посмотреть, как описываются их *Spice*-модели.

2.2. Анализ переходных процессов

2.2.1. Настройка

Рекомендуемый перечень действий

- В процессе расчёта необходимо получить сигналы в определённых узлах схемы. В общем случае имена цепей присваиваются автоматически, но иногда имеет смысл вручную присвоить им оригинальное запоминающееся название командой *Place | Net Label*.

- Выполнить команду меню *Design | Simulate | Mixed Sim*. Откроется окно *Analyses Setup*. В списке *Analyses | Options* слева будут показаны доступные в системе *Protel DXP* виды анализа. Справа будут показаны общие настройки программы моделирования.

- Проверить, что в выпадающем списке *Collect Data For* указан необходимый нам набор данных *Node Voltage, Supply Current, Device Current and Power* (напряжения в узлах, ток питания, протекающие через элементы токи и рассеиваемая ими мощность). Это максимальный набор данных, который можно получить при моделировании смешанной аналого-цифровой схемы с помощью программы *Spice*.

- Проверить, что в выпадающем списке *Sheets to Netlist* выбрана опция *Active project*, предписывающая генерировать список соединений для всего проекта (в общем случае проект может состоять из большого количества схем и иметь сложную иерархическую структуру). Опция *Active sheet* применяется в случае, когда требуется моделировать отдельную часть проекта, представленную на одном листе схемы.

- В выпадающем списке *SimView Setup* выбрать опцию *Show Active Signals*, предписывающую модулю отображения результатов анализа показывать их по мере выполнения расчёта.

В окне представлены два списка. В первом из них представлены доступные для отображения сигналы (*Available Signals*) согласно настройке *Collect Data For*. Ряд сигналов имеют просто имена цепей (узлов), что соответствует напряжению в них. Другие сигналы имеют имена элементов с суффиксами (*i*), (*p*) и (*z*), что означает ток, мощность и импеданс соответственно. Для многвыводных элементов, в нашем случае транзисторов, к суффиксам добавляется обозначение вывода *e* (эмиттер), *b* (база) и *c* (коллектор).

Чтобы выделить в этом списке интересные сигналы, нужно, удерживая нажатой клавишу *Ctrl*, последовательно щелкнуть на них левой кнопкой мыши, нажать расположенную между списками кнопку «>». Выделенные сигналы будут перенесены в правый список *Active Signals*.

По умолчанию предложено выполнить два вида анализа: расчёт рабочих точек по постоянному току (*Operating Point Analysis*) и анализ переходных процессов (*Transient / Fourier Analysis*), о чем свидетельствуют галочки, включенные в списке *Analyses | Options* (рис. 19).

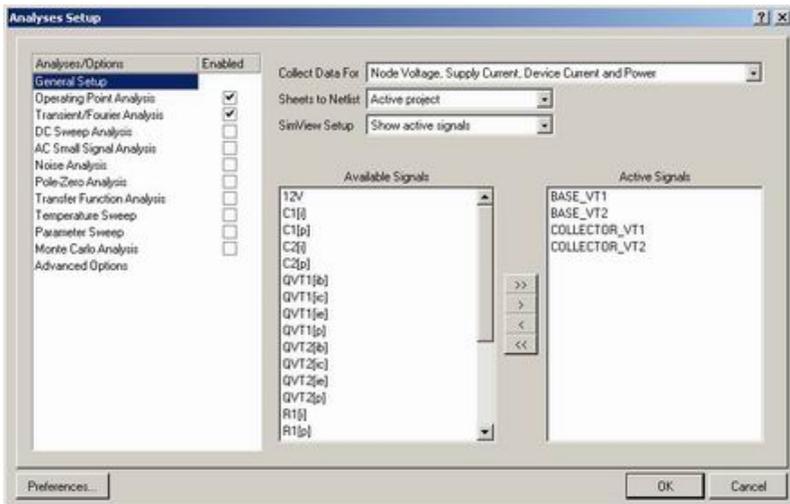


Рис. 19. Установки анализа

- Щелкнуть левой кнопкой мыши на типе анализа *Operating Point Analysis* – правая часть окна окажется пустой, что означает, что данный вид анализа специальных настроек не имеет.
- Щелкнуть левой кнопкой мыши на типе анализа *Transient / Fourier Analysis* – в правой части окна появятся настройки анализа переходных процессов.
- Выключить опцию *Use Transient Defaults*, при этом станут активными текстовые поля задания временных параметров анализа.
- В полях *Transient Stop Time*, *Transient Step Time*, *Transient Max Step Time* (рис. 20) (время моделирования и шаг) ввести значения. Так как

во время моделирования шаг по времени может варьироваться автоматически, данный параметр задаёт его верхнее ограничение.

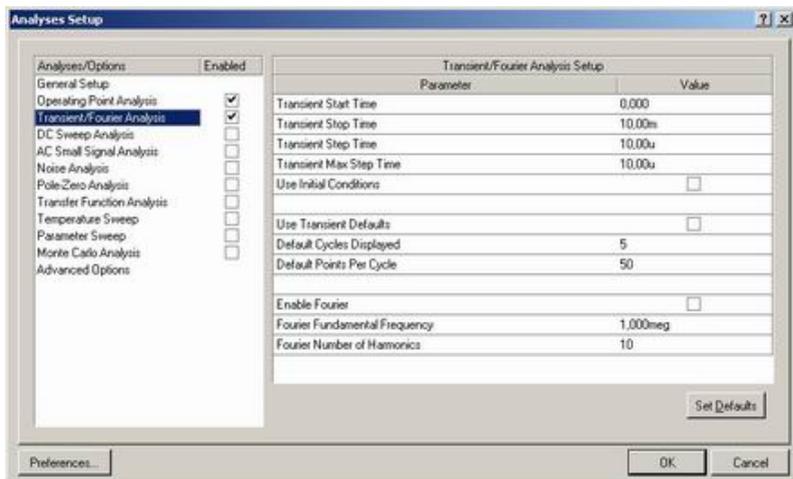


Рис. 20. Установки временно́го анализа

Представления чисел, переменных, математических выражений и правила их использования не отличаются от применяемых в программе *Micro-CAP*.

Числовые значения параметров компонентов представляются в виде:

- действительных чисел с фиксированным десятичным знаком (обратим внимание, что в качестве десятичного знака используется точка). Например, сопротивление 2,5 кОм записывается как 2500 Ом, а ёмкость 1 мкФ как 0,000001 Ф;

- действительных чисел с плавающим десятичным знаком – научная нотация. Например, ёмкость 1 мкФ может быть записана как 1E-6;

- действительных чисел с плавающим десятичным знаком – инженерная нотация, согласно которой различные степени десяти обозначаются суффиксами (табл. 3).

Суффиксы

F	фемто	10^{-15}	U	микро	10^{-6}	MEG	мега	10^6
P	пико	10^{-12}	m	милли	10^{-3}	G	гига	10^9
N	нано	10^{-9}	K	кило	10^3	T	тера	10^{12}

Если ошибок нет, то после нажатия кнопки ОК система переключится в режим отображения результатов расчёта и на экране появятся временные диаграммы, показывающие назначенные сигналы.

2.2.2. Анализ и обработка результатов

Если просмотреть содержимое панели Projects, то видно, что в проект добавились две новые категории файлов: *Generated Mixed Sim Netlist Files* с документом <имя схемы>.nsx и *Generated ViewSim Data Files* с документом <имя схемы>.sdf, причем последний автоматически открылся и содержит рассчитанные графики. Если выполнить двойной щелчок левой кнопкой мыши на документе <имя схемы>.nsx, который является сгенерированным для нашей схемы списком соединений в формате *Spice*, он будет открыт встроенным в систему *Protel DXP* текстовым редактором.

2.2.3. Список соединений схемы

Рассмотрим содержимое данного документа. Синтаксис списков соединений *Spice* хорошо описан в литературе, поэтому остановимся лишь на основных моментах.

Текст разбит на логические блоки, снабженные текстовыми комментариями в строках, начинающихся с символа «*».

За заголовком следует блок описания схемы. Каждый элемент занимает одну строку и содержит данные, соответствующие синтаксису списков соединений *Spice* [3]: < Позиционное обозначение > < узлы подключения (цепи) > < параметры >.

Позиционное обозначение, как правило, совпадает с использованным на схеме. Исключение составляют элементы, первая буква обозначения которых не совпала с назначенным в модели *Spice* префиксом, дающим понять программе моделирования, какой именно

элемент описан в данной строке. В случае с транзисторами к обозначениям добавляется буква *Q*.

Далее идет перечисление узлов схемы, к которым данный элемент подключен. Имена узлов совпадают с именами цепей на схеме, за исключением цепи *GND*, которая в списке соединения *Spice* всегда обозначается цифрой «0». Порядок следования узлов описывается в модели элемента в окне *Model Sim*.

Далее следует список параметров модели. В случае простых элементов, например, конденсаторов и резисторов — это номинал, который может иметь масштабирующий суффикс, причём пробел между ними не допускается. Буквы, следующие за стандартным масштабирующим множителем, как в случае с конденсаторами, в расчёт не принимаются. Для транзисторов в качестве параметра указана ссылка на внешнюю модель, например 2N3904.

Следующий блок включает три строки, начинающиеся с директивы *.Save*. За ней следует перечисление данных, которые необходимо получить в ходе расчёта и сохранить. Так как при настройке моделирования в окне *Analyses Setup* в выпадающем списке *Collect Data For* был указан набор данных *Node Voltage, Supply Current, Device Current and Power*, то в данном блоке перечисляются все возможные сигналы и характеристики: напряжения в узлах, ток питания, импеданс, протекающие через элементы токи и рассеиваемая ими мощность.

Две следующие строки, хоть и начинаются с символа «*» и являются комментариями, несут в себе служебную информацию для программы *SimView* и предписывают ей отобразить на экране результаты расчёта четырёх активных сигналов и рабочих точек.

Далее следует блок описания назначенных опций и типов анализа. В строке, начинающейся с директивы *.Option*, перечисляются специальные опции управления программой моделирования. Обычно это единственный параметр *KeepLastSetup*, предписывающий в каждом последующем запуске использовать результаты предыдущего моделирования. Строка, начинающаяся с *.Tran*, назначает выполнение анализа переходных процессов с соответствующими параметрами, а с *.OP* — расчёт рабочих точек.

Последним в списке соединений является блок описания моделей и подсхем, например, описание модели транзистора, как в окне *Model*

Sim. Описание начинается с директивы *.Model* и занимает две строки, причём знаком переноса служит символ «+» в начале второй строки.

Завершает список соединений директива *.End*.

2.2.4. Работа с файлом результатов

Для возврата в режим просмотра результатов расчета нужно щелкнуть левой кнопкой мыши по закладке <имя схемы>.*sdw* в верхней части окна проекта, если этот документ был ранее сохранён и закрыт, то двойным щелчком левой кнопкой мыши на нём.

В окне документа <имя схемы>.*sdw* имеются две закладки в нижней части окна, соответствующие отдельным типам анализа.

На вкладке *Operating Point* представлены напряжения в заданных узлах схемы. К показанному списку сигналов можно добавить любой другой из числа рассчитанных и сохранённых. Для этого необходимо щёлкнуть правой кнопкой мыши в любом свободном месте страницы и в появившемся контекстном меню выбрать команду *Add Wave* (добавить сигнал). Появится окно *Add Wave to Table*.

Для возврата на страницу графических результатов анализа переходных процессов следует щелкнуть левой кнопкой мыши на вкладке *Transient Analysis*.

Для добавления графика выбрать команду *Add Plot*, выполнив щелчок правой кнопкой мыши в любом месте страницы для вызова контекстного меню. Будет предложен диалог на четырёх сменяющихся окнах для формирования параметров графика.

Панель закладки *Sim Data* отображает численные данные. Две верхние строчки показывают *X* и *Y* координаты маркеров на диаграммах, причём маркеры могут быть размещены на разных сигналах и разных диаграммах. Далее следуют:

- *B-A* – разность координат маркеров по осям *X* и *Y*;
- *Minimum A...B* – минимальное значение сигнала на отрезке между маркерами;
- *Maximum A...B* – максимальное значение сигнала на отрезке между маркерами;
- *Average A...B* – среднее значение сигнала на отрезке между маркерами;

- *AC RMS A...B* – среднее квадратическое значение переменной составляющей сигнала на отрезке между маркерами;
- *RMS A...B* – среднее квадратическое значение сигнала на отрезке между маркерами;
- *Frequency A...B* – величина, обратная разности координат маркеров по оси *X*, имеющая размерность частоты;
- *Rise Time* – время нарастания (определяется для одиночных импульсов);
- *Fall Time* – время спада (определяется для одиночных импульсов);
- *Min* – координаты точки минимума;
- *Max* – координаты точки максимума;
- *Base Line* – значение логического нуля импульса;
- *Top Line* – значение логической единицы импульса.

Для создания маркера нужно выполнить щелчок правой кнопкой мыши по названию интересующего сигнала и в появившемся контекстном меню выбрать команду *Cursor A*. На график добавится маркер, содержащий ярлычок с буквой *A*. Удаление маркера выполняется щелчком на нём правой кнопкой мыши и выбором соответствующей команды из контекстного меню. Аналогичным образом с диаграмм удаляются лишние оси и сигналы.

Имеется возможность изменять последовательность расположения диаграмм на странице. Для этого достаточно с помощью левой клавиши мыши захватить кнопку слева от диаграммы и, удерживая нажатой клавишу, перетащить диаграмму. Небольшой треугольник подскажет новое местоположение диаграммы.

Если требуется передать данные из этого окна в другое приложение *Windows*, используется команда меню *Tools | Copy to Clipboard*. Команды использования *Cut*, *Copy* и *Paste* являются внутренними и не передают данные во внешние приложения. Экспорт данных со страниц документа возможен только в *CSV*-файлы (*Comma Separated Values*) и осуществляется с помощью команд *File | Export | Chart* (все сигналы) и *File | Export | Waveform* (выделенный сигнал).

2.3. Параметрический анализ

Часто разработчику требуется оценить, как изменение того или иного параметра влияет на функционирование всей схемы. Такой анализ называется параметрическим (многовариантным), или анализом чувствительности.

Алгоритм действий

1. Щелкнуть правой кнопкой мыши на вкладке любого из открытых документов и в появившемся контекстном меню выбрать команду *Merge All*, чем выключится отображение документов в разных окнах.

2. Щелкнуть на вкладке документа *.SchDoc*, расположенной в верхней части окна проекта, и вернуться в редактор схем.

3. С помощью команды меню *View | Toolbars | Mixed Sim* включить панель инструментов *Mixed Sim* (рис. 21). В отличие от команды меню *Design | Simulate | Mixed Sim* расположенные здесь кнопки позволяют независимо выполнять три этапа подготовки к моделированию: настройку видов анализа, генерацию списка соединений и запуск процесса моделирования.



Рис. 21. Панель инструментов *Mixed Sim*

4. Нажатием кнопки *Setup Mixed-Signal Simulation* открывается окно настройки моделирования *Analyses Setup*.

5. Щелкнуть левой кнопкой мыши на строке *Parameter Sweep* в списке *Analyses/Options* слева. В правой части окна появятся настройки этого вида анализа.

6. Щелкнуть левой кнопкой мыши на клетке в столбце *Value* напротив строки *Primary Sweep Variable* и в появившемся выпадающем списке выбрать параметр, который будет изменяться.

7. Задать начальное и конечное значения диапазона изменения параметра (*Primary Start Value*, *Primary Stop Value*), шаг изменения параметра (*Primary Step Value*).

8. В клетке *Primary Sweep Type* оставить значение *Absolute Value*. Включить галочку напротив строки *Parameter Sweep* в списке слева и закрыть окно нажатием кнопки *OK*.

9. Сформировать список соединений, для чего на панели инструментов *Mixed Sim* нажать кнопку *Generate XSPICE Netlist*. В окне проекта автоматически откроется отчёт *Status Report.txt*.

10. Щелкнуть левой кнопкой мыши на вкладке документа <имя документа>.nsx. Пример изменения есть в блоке описания назначенных опций и типов анализа, предписывающий выполнить вариацию параметра C1 в заданном диапазоне.

```
.CONTROL  
SWEEP C1[capacitance] 2E-8 3E-8 1E-9  
.ENDC
```

Для запуска процесса моделирования, находясь в режиме просмотра списка соединений, следует выполнить команду меню *Simulate | Run*. Система переключится в режим отображения документа *.sdf*, в котором будут отображаться результаты расчёта по мере их поступления.

По завершении процесса анализа нужно щелкнуть левой кнопкой мыши на вкладке *Transient Analysis* в нижней части экрана. Ранее на вкладке *Transient Analysis* присутствовали графики согласно установкам отображения рассчитанных сигналов. Теперь их станет вдвое больше, так как для каждого из этих сигналов будет прорисовано по два отдельных графика. Первый из них, как и ранее, отобразит результаты анализа переходных процессов, а второй – набор кривых, полученных в ходе параметрического анализа. Число кривых равно числу вариаций значения параметра.

Система *Protel DXP* позволяет выполнять одновременную вариацию двух параметров. Для этого в списке *Parameter Sweep Setup* следует поставить галочку в строке *Enable Secondary* и в столбце *Value* напротив строки *Secondary Sweep Variable* в появившемся выпадающем списке выбрать второй изменяющийся параметр.

Если требуется оценить динамику изменения работы схемы при изменении температуры, используется режим анализа *Temperature Sweep*.

2.4. Частотный анализ схемы в режиме малого сигнала

Одним из стандартных видов анализа по методу *Spice* является анализ частотных характеристик схемы в режиме малого сигнала.

При частотном анализе необходимо иметь источник сигнала на входе схемы. Для этого на панели *Libraries* в выпадающем списке следует указать имя библиотеки *Simulation Sources.IntLib*, выбрать компонент *VSIN* и нажать кнопку *Place VSIN*. Редактор схемы перейдет в режим размещения элементов, а к указателю мыши окажется «приклеенным» символ источника синусоидального напряжения. Нажатием клавиши *Tab* и в окне *Component Properties* в поле *Designator* можно указать позиционное обозначение источника *V1*.

При выполнении двойного щелчка левой кнопкой мыши на модели источника *VSIN* в списке *Models for* откроется окно *Sim Model – Voltage Source / Sinusoidal*, в котором на вкладке *Parameters* следует изменить значение в поле *Amplitude* на 1 В. Частоту колебаний обнулять необязательно. Нужно сохранить сделанные изменения и закрыть окно *Component Properties*.

Для прорисовки связи между компонентами необходимо разместить источник напряжения *V1* и выполнить команду меню *Place | Wire* (горячие клавиши *P, W*).

Теперь остаётся добавить на схему метки цепей. Для этого необходимо:

- выполнить команду меню *Place | Power Port* (горячие клавиши *P, O*) – редактор предложит разместить порт питания;
- нажать клавишу *Tab* и в окне *Power Port* задать стиль порта (*Style*) *Power Ground*; здесь же в поле *Net* ввести имя цепи *GND* и закрыть окно; разместить символ заземления;
- выполнить команду меню *Place | Net Label* (горячие клавиши *P, N*) – редактор предложит разместить метку цепи; нажатием клавиши *Tab* в окне *Net Label* задать имя *IN* и закрыть окно;

- разместить метку цепи *IN* на связи между источником и основной схемой;
- аналогичным образом создать метку *OUT* и разместить ее;
- сохранить схему.

2.4.1. Настройка анализа частотных характеристик

Алгоритм действий

• Нажатием кнопки *Setup Mixed-Signal Simulation* открыть окно настройки моделирования *Analyses Setup*.

• В списке *Analysis/ Option* поставить галочку в строке *AC Small Signal Analysis*. Все остальные виды анализа должны быть выключены.

• В списке справа задать параметры этого вида анализа: в поле *Start Frequency* ввести значение 1 Гц (число 0 здесь не допускается); в поле *Stop Frequency* ввести максимальное значение частоты; параметр *Sweep Type* оставить *Linear*; в поле *Test Points* ввести число точек анализа, например 1000.

• В списке *Analysis/ Option* щелкнуть левой кнопкой мыши на строке *General Setup*. Справа появятся основные настройки программы моделирования. В выпадающем списке *Collect Data For* нужно задать определенный набор данных *Node Voltage, Supply Current, Device Current and Power* (напряжения в узлах, ток питания, протекающие через элементы токи и рассеиваемая ими мощность). В выпадающем списке *Sheets to Netlist* выбрана опция *Active project*, предписывающая генерировать список соединений для всего проекта. В выпадающем списке *SimView Setup* выбрать опцию *Show Active Signals*, предписывающую модулю отображения результатов анализа показывать их по мере выполнения расчета.

• Выделить в списке *Available Signals* необходимые сигналы, для чего, удерживая нажатой клавишу *Ctrl*, последовательно щелкнуть на них левой кнопкой мыши, после чего нажать расположенную между списками кнопку «>». Выделенные сигналы будут перенесены в правый список *Active Signals*.

• Нажатием кнопки *Run Mixed Signal Simulation* на панели инструментов *Mixed Sim* или горячей клавиши F9 запустить процесс моделирования. Система переключится в режим отображения документа *.sdf* с единственной вкладкой *AC Analysis*, на которой появятся графики (рис. 22).

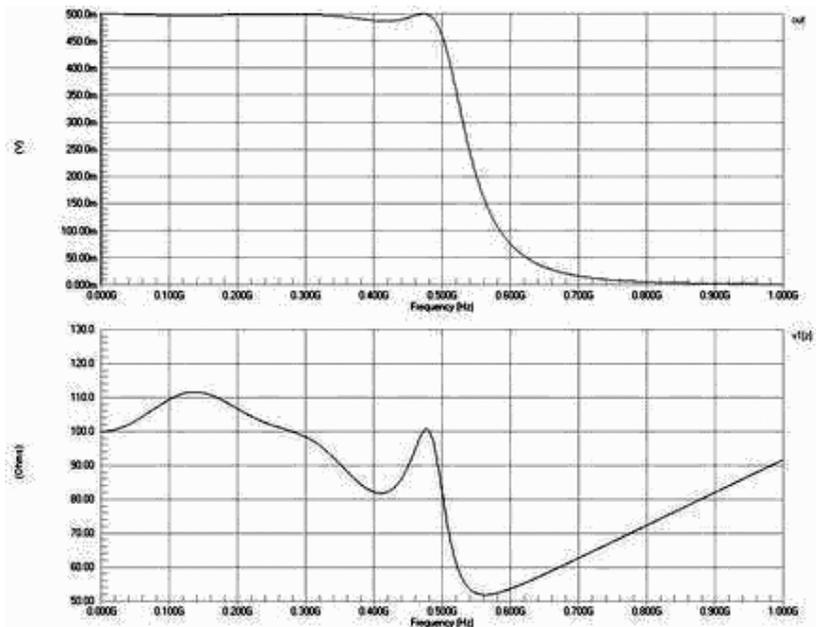


Рис. 22. Первичные результаты анализа частотных характеристик

2.5. Анализ схем при изменяющемся постоянном напряжении

Анализ схем при изменяющемся постоянном напряжении (*DC Sweep Analysis*) является одним из стандартных видов анализа по методу *Spice* и позволяет получать зависимости интересующих нас сигналов не от времени, как при анализе переходных процессов, или от частоты, как при малосигнальном частотном анализе, а от напряжения. Типичный пример такого анализа – построение семейства выходных характеристик транзистора.

При таком моделировании может понадобиться источник тока. В интегрированной библиотеке *Simulation Sources.IntLib* имеется такой компонент – *ISRC*.

Для изменения его параметров следует выполнить двойной щелчок левой кнопкой мыши на модели источника в списке *Models for*. Откроется окно *Sim Model – Current Source | DC Source*, перейти на

вкладку *Parameters* и в поле *Value* задать значение. Включить галочку *Component Parameter* напротив этого параметра и нажатием кнопки *OK* закрыть окно.

Результирующая схема может выглядеть в соответствии с рис. 23.

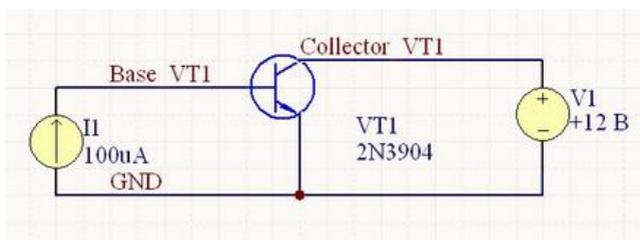


Рис. 23. Схема для расчёта выходных характеристик биполярного транзистора

Настройка анализа схемы при изменяющемся постоянном напряжении

Алгоритм действий

1. Нажать кнопку *Setup Mixed-Signal Simulation* – откроется окно настройки моделирования *Analyses Setup*.

2. В списке *Analysis/Option* поставить галочку в строке *DC Sweep Analysis*. Все остальные виды анализа должны быть выключены.

3. В списке справа задать параметры этого вида анализа: в поле *Primary Source* выбрать источник напряжения V1, задать значение *Primary Start*, *Primary Stop*, шаг *Primary Step* (диапазон и шаг изменения) и закрыть окно нажатием кнопки *OK*.

4. В списке *Analysis/Option* щелкнуть левой кнопкой мыши на строке *General Setup*. Справа появятся основные настройки программы моделирования. В выпадающем списке *Collect Data For* задать необходимый набор данных: *Node Voltage*, *Supply Current*, *Device Current and Power* (напряжения в узлах, ток питания, протекающие через элементы токи и рассеиваемая ими мощность). В выпадающем списке *Sheets to Netlist* выбрать опцию *Active project*, предписывающую генерировать список соединений для всего проекта. В выпадающем списке *SimView Setup* выбрать опцию *Show Active Signals*,

предписывающую модулю отображения результатов анализа показывать их по мере выполнения расчета.

5. Выделить в списке *Available Signals* сигнал тока коллектора $QVT1(ic)$ и нажать расположенную между списками кнопку «>». Указанный сигнал будет перенесен в правый список *Active Signals*.

6. Нажатием кнопки *Run Mixed Signal Simulation* на панели инструментов *Mixed Sim* или горячей клавиши F9 запустить процесс моделирования. Система переключится в режим отображения документа *.sdf* с единственной вкладкой с именем файла, на которой появится график зависимости тока коллектора от напряжения между коллектором и эмиттером.

3. ПРОЕКТИРОВАНИЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ (ПЛИС)

3.1. Ресурсы

Для программирования коммутации ПЛИС и отладки логики *FPGA*-проекта фирмой *Altium Ltd* разработано семейство отладочных станций *NanoBoard*, применение которых позволяет с использованием *Altium Designer* выполнять полный цикл разработки проекта ПЛИС. Станция представляет собой компьютер с развитой периферией и средствами подключения отлаживаемой микросхемы. Протокол обмена данными *Altium Designer* с отладочным станцией *NanoBoard* носит название *NanoTalk*, а контроллер станции – *NanoTalk Controller*. Рассмотрим станцию *NanoBoard 3000* (рис. 24).



Рис. 24. Отладочный станция *NanoBoard 3000*

На плате станда располагаются контроллер, управляющий процессом отладки и программирования коммутации ПЛИС, органы индикации, средства, имитирующие связь ПЛИС с её внешним окружением в проектируемом функциональном узле, и средства последовательного наращивания, обеспечивающие возможность использования сразу нескольких стандов *NanoBoard*.

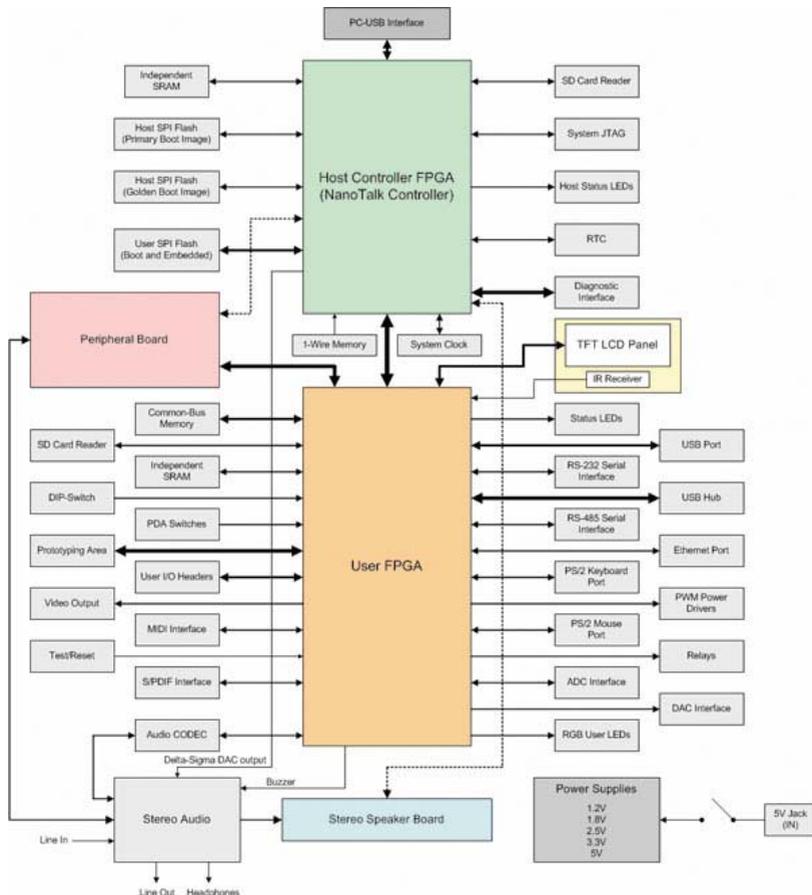


Рис. 25. Структурная схема *NanoBoard 3000*

В моделях семейства *NanoBoard 3000* на материнской плате стенда смонтирована микросхема ПЛИС одного из трёх производителей: фирмы *Xilinx (NanoBoard 3000XN)*, *Altera (NanoBoard 3000AL)* или *Lattice (NanoBoard 3000LC)*, которая является пользовательской ПЛИС (*User FPGA*) и может применяться в качестве одной из реализаций *FPGA*-проекта (рис. 25). Кроме того, на плате имеются:

- *USB*-концентратор с возможностью подключения до трёх устройств *USB 2.0* и интерфейсом на базе высокоскоростного *ISP1760*;
- интерфейс *SVGA* (24 бит, 80 МГц);
- коммуникационные интерфейсы: *RS-232*, *RS-485*, *PS/2*, *10/100 Fast Ethernet*, *USB 2.0*, *S/PDIF*, *MIDI*;
- вдвоенные устройства чтения *SD*-карт и хост-контроллеров для использования и хранения данных при работе с ПЛИС;
- ИК-приемник, поддерживающий передачу данных на частоте 38 кГц;
- высококачественный стереозвук: линейный вход/выход и разъем для наушников, аудиокодек с *I2S*-совместимым интерфейсом, аналоговое устройство микширования, усилитель мощности и высококачественная акустическая система (на дополнительной плате);
- тактовые генераторы для пользовательских ПЛИС: программируемый (6–200 МГц) и фиксированный (20 МГц);
- два 4-канальных 8-битных АЦП (*SPI*-совместимые) с максимальной частотой дискретизации 40 и 200 кГц;
- четыре изолированных цифровых реле: по одному реле без блокировки на 5 В с двухполюсной группой переключающих контактов в каждом;
- четыре усилителя с широтно-импульсной модуляцией;
- *DIP*-переключатель общего назначения на восемь направлений, восемь *RGB*-светодиодов, пять кнопочных выключателей стандарта *PDA* и кнопка *Test/Reset*. Всё это подключено непосредственно к проектируемой ПЛИС;
- пользовательская макетная зона;
- вдвоенные разъёмы расширенного ввода/вывода 18-разрядные (20-контактные) с возможностью выбора источника питания;
- внутрислатные ЗУ для проектируемых ПЛИС: статическое ОЗУ 256 К×32 бит с общей шиной (1 Мб), синхронное динамическое

- ОЗУ 16 М×32 бит с общей шиной (64 Мб), страничная флэш-память 8 М×16 бит с общей шиной (16 Мб, 3,0 В), сдвоенное независимое статическое ОЗУ 256 К×16 бит (по 512 Кб);
- четыре устройства флэш-памяти по 8 Мбит с последовательным интерфейсом: одно с главной областью начальной загрузки для хост-контроллера, другое с резервной областью начальной загрузки для хост-контроллера и два – для разработки ПЛИС (для загрузки и служебных целей);
 - таймер реального времени с резервным питанием от батареи напряжением 3 В;
 - возможность подключения одной периферийной платы для повышения гибкости системы;
 - внутрисплатная *ID*-память: система идентификации *1-Wire*, позволяющая однозначно распознать основную плату и любую из присоединенных периферийных плат *Altium*;
 - хост-контроллер (*NanoTalk*) со встроенным ПО *NanoBoard* позволяет управлять устройствами с использованием интерфейса *JTAG* (*Altium Designer*, проектируемой ПЛИС или периферийной платой), а также обеспечивает доступ к ресурсам при помощи последовательного интерфейса общей шины. Разъём питания постоянного тока 5 В с выключателем; контрольные точки для всех питающих напряжений и «земли» на плате.

Связь *NanoBoard* с компьютером осуществляется через стандартное *USB 2.0* соединение по мультиплексированному каналу *JTAG*-интерфейса. По этому каналу в компьютер и из него передается информация, служащая для управления работой контроллера стенда, программирования внутренней коммутации пользовательской ПЛИС (*Hard Devices Channel*) и загрузкой в пользовательскую ПЛИС программного приложения в случае проектирования микроконтроллеров или микроЭВМ (*Soft Devices Channel*). При подключении стенда *NanoBoard* к компьютеру с работающей программой *Altium Designer* автоматически активируется драйвер, опознающий наличие и идентифицирующий версию *NanoBoard* (и периферийной платы, если она подключена), а также устанавливающий связь активного *FPGA*-проекта с ресурсами *NanoBoard*.

Для обнаружения и идентификации версии *NanoBoard* и периферийной платы на них устанавливаются ПЗУ (*1-Wire Memory*),

в которые занесен 40-байтовый идентификационный код, состоящий из четырёх полей:

- 1) <UniqueID> – уникальный идентификатор, присвоенный изготовителем, это обозначение типа и серийный номер микросхемы ПЗУ;
- 2) <ClassID> – обозначение типа и версии станда *NanoBoard* или периферийной платы;
- 3) <BatchID> – номер партии продукта;
- 4) <VendorID> – обозначение производителя станда *NanoBoard* или периферийной платы (*Altium* обозначается кодом 00000001h).

Доступ активного *FPGA*-проекта к ресурсам *NanoBoard*, в том числе к пользовательской ПЛИС, происходит из оболочки *Devices View* в режиме *Live*. Для обеспечения доступа должна быть сформирована конфигурация проекта. Это именованный список файлов привязки (*Constraint files*). Файлы привязки, описывающие ресурсы *NanoBoard*, могут быть сформированы вручную, однако *Altium Designer* предоставляет возможность облегчить эту трудоёмкую работу путём автоматического формирования конфигурации. Для этого нужно щелчком правой клавиши мыши на значке *NanoBoard* в панели *Devices View* активировать контекстное меню и указать в нём команду *Configure FPGA Project* (рис. 26). В открывающемся подменю-списке выбрать один из загруженных проектов или указать команду *New FPGA Project*.

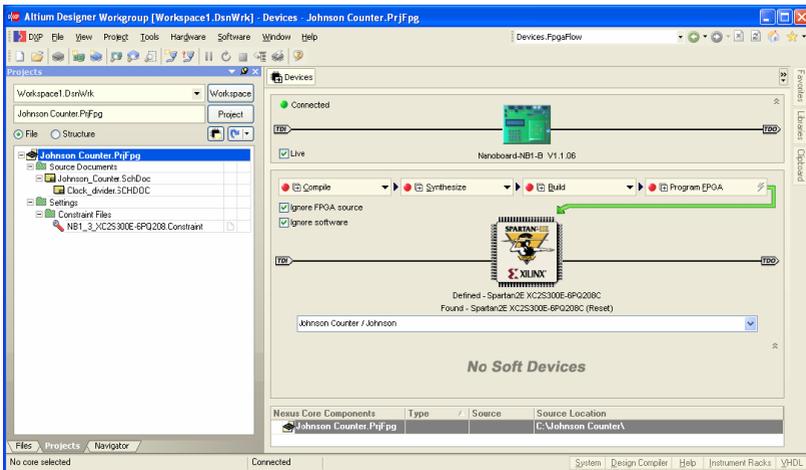


Рис. 26. Панель *Devices View*

При выборе имени существующего проекта программа находит файлы привязок, загруженные при инсталляции *Altium Designer* в директорию *...\Library\FPGA*, и автоматически подключает их к проекту в соответствии с обнаруженной системой идентификационным кодом *NanoBoard*, а именно его полем *ClassID*. Так, при обнаружении системой стэнда *NanoBoard 3000* с идентификационным кодом $\langle ClassID \rangle = NB3000AL.02$ программа извлекает из директории файл *NB3000AL.02.Constraint*. При обнаружении периферийной платы *PB30.01* программа дополнительно подключает к *FPGA*-проекту файл привязок *PB30.01.Constraint*.

Командой главного меню *Project/Configuration Manager* или командой *View Configuration* из того же контекстного меню открывается диалог просмотра и редактирования конфигурации проекта (рис. 27).



Рис. 27. Диалог настройки конфигурации *FPGA*-проекта

В случае использования отладочной периферийной платы программа автоматически формирует и включает в конфигурацию файл привязок, содержащий описание подключений периферийной платы к материнской плате *NanoBoard 3000*. Имя файла – *NB3000AL_02_BoardMapping.Constraint*, и сохраняется он в той же директории, что и файл проекта **.PrjFpg*.

Для осуществления электрической связи цепей внешнего окружения с цепями логического ядра в схеме *FPGA*-проекта к ним в схемных документах *PCB*- и *FPGA*-проектов подключаются одноименные метки *Port*. Далее в файлах привязок (*Constraint*) назначается подключение этих цепей к контактам выбранной ПЛИС. В случае работы с отладочным стэндом *NanoBoard 3000* подключение внешних выводов пользовательской ПЛИС выполнено печатным монтажом на материнской плате, поэтому нет необходимости подключать к внешним связям схемы *FPGA*-проекта стандартные порты и назначать их привязку к выводам пользовательской ПЛИС.

Вместо этого для обеспечения возможности имитации сигналов внешнего окружения ПЛИС в *Altium Designer* сформированы библиотеки специальных интерфейсных компонентов, которые должны быть включены в схемный документ *FPGA*-проекта (рис. 28).

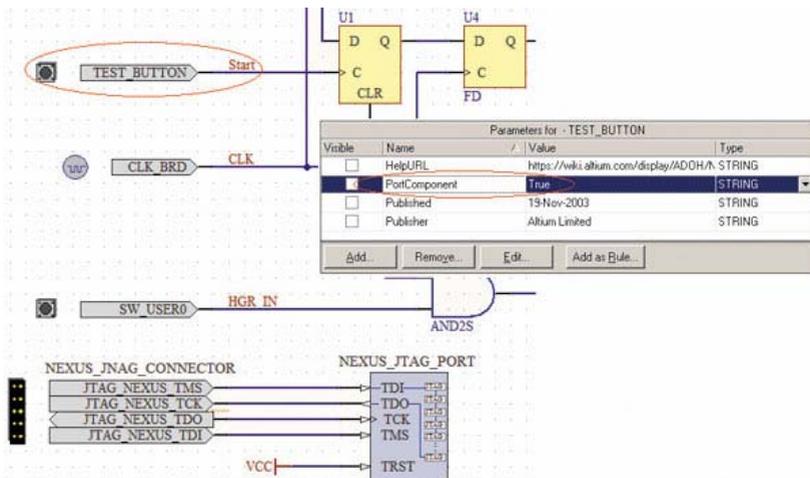


Рис. 28. Пример порткомпонентов в схемном документе *FPGA*-проекта

Эти компоненты, называемые в терминологии *Altium Designer* порткомпонентами, размещены для *NanoBoard 3000* в библиотеке `.\\Library\FPGA\FPGA_NB3000_PortPlugin.IntLib`. Эти интерфейсные компоненты обеспечивают автоматическое подключение ресурсов *NanoBoard* к входным и выходным контактам пользовательской микросхемы ПЛИС и по присвоенному им по умолчанию параметру *PortComponent True* распознаются программой как внешние по отношению к *FPGA*-проекту.

Компоненты *Nexus_JTAG_Connector* и *Nexus_JTAG_Port* обеспечивают доступ *Altium Designer* к встроенным в пользовательскую ПЛИС программным приложениям и виртуальным инструментам отладки. Сигналы, циркулирующие по этим цепям, порождаются контроллером стенда и подводятся к четырём predetermined контактам пользовательской ПЛИС.

Порткомпоненты могут быть конвертированы в обычные метки цепей *Port* по команде главного меню *Tools | Convert | Convert Parts*

To Ports с последующим щелчком левой кнопки мыши на выбранном компоненте либо командой *Part Actions | Convert Parts To Ports* из контекстного меню, активируемого щелчком правой кнопки на выбранном компоненте. Они также автоматически конвертируются в стандартные метки *Port* при выполнении синтеза проекта, обеспечивая связность логического ядра проекта с цепями внешнего окружения ПЛИС при объединении *FPGA*- и *PCB*-проектов.

3.2. Создание исходного файла схемы

Перед началом работы необходимо подключить *NanoBoard* к *USB*-шине компьютера и включить питание платы. Убедитесь в установке инструментария *Xilinx*, который загружается с веб-сайта www.Xilinx.com.

В качестве примера в этом разделе пособия использован кольцевой счётчик с перекрёстной связью (рис. 29). Этот счётчик является синхронизируемым, инвертированный выход его последнего триггера подключен к входу первого триггера. При запуске этот проект будет последовательно включать светодиоды на плате отладки *NanoBoard*.

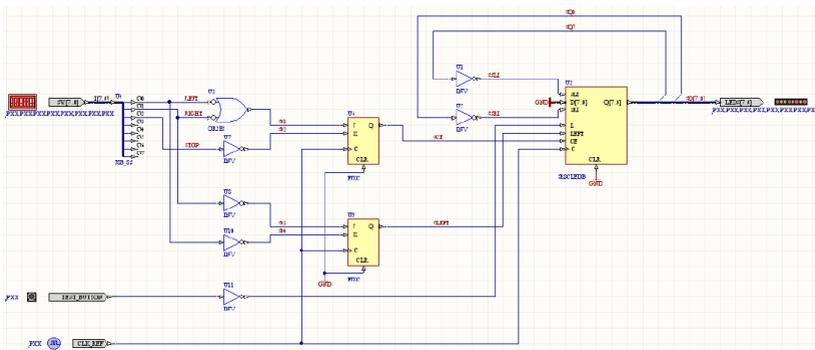


Рис. 29. Схема счётчика

Функциональная схема кольцевого счетчика с коэффициентом пересчёта 8 построена на базе следующих логических прототипов из библиотеки *FPGA Generic.IntLib*:

- двунаправленного восьмиразрядного регистра сдвига *SR8CLED8*;
- двух *JK*-триггеров *FJKC*;

- шести инверторов *INV*;
- дизъюнктора низких логических уровней *OR2B2*;
- разветвителя шины *J8B_8S*.

Для проверки правильности функционирования и демонстрации работы счетчика на стенде *NanoBoard 3000* ко входам логики и выходам регистра подключены следующие порткомпоненты из библиотеки *FPGA NB3000 PortPlugin.IntLib*:

- *CLK_REF* – интерфейс с тактовым генератором стенда *NanoBoard* с частотой 20 МГц;
- *TEST_BUTTON* – кнопка общего сброса *TEST/RESET*;
- *DIPSWITCH* – *DIP*-блок из восьми переключателей (*SW8*);
- *LEDS_RGB* – блок 3S8 светодиодов красного, зелёного и синего цветов (*RGB USER LEDS*).

Для того чтобы мелькание светодиодов, подключенных к выходам разрядов регистра, воспринималось глазом, в схему введён делитель частоты *U_Clock_Divider* с коэффициентом деления 10^7 (частота импульсов на выходе *CLK_OUT* составит 2 Гц). Делитель частоты построен на семи последовательно соединенных делителях *CDIV10DC50* и входит в документы проекта под именем *Clock_Divider_1.SchDoc* (рис. 7). В качестве альтернативного варианта делитель частоты может быть построен в виде *HDL-файла* в конструкциях языка описания аппаратуры *VHDL* и также включён в общую схему проекта как иерархический элемент.

Первый шаг – создать проект ПЛИС. Для этого:

- выберите *File|New|Project|FPGA Project* в меню и нажмите *Blank Project (FPGA)* в окне *New* панели *Files*. Панель *Project* отобразит новый файл *FPGA_Project.PrjFpg*;
- при необходимости переименуйте его командой *File|Save Project As*. Обратите внимание, что в имени вместо пробела следует использовать символ подчёркивания для исключения ошибок синтеза в проекте ПЛИС (кириллицу использовать не следует).

Проект ПЛИС поддерживает два типа исходных документов: схему и описание на языке *HDL*. Можно использовать одновременно оба типа документов в проекте с использованием символов листа. Однако для поддержки интеграции «ПЛИС + плата» для проекта ПЛИС на верхнем уровне должна быть использована схема.

Проект содержит несколько схем задержек для подключения дисплея на светодиодах *LED* на плате *NanoBoard*. Первым создадим лист схемы для счётчика. Затем переместим схему задержки на подчинённый лист, чтобы показать пример использования иерархической структуры. Наконец, заменим этот подчинённый лист на файл *VHDL*.

Для создания документа схемы счётчика выберите *File|New|Schematic* или нажмите *Schematic Sheet* в окне *New* на панели *Files*. Бланк листа схемы с именем *Sheet1.SchDoc* отобразится в окне проектов. При необходимости переименуйте файл (расширение *.SchD*).

При использовании символов схем можно смешивать *VHDL*, *Verilog* и схемные документы. В случае файлов *HDL* входная информация на листе соответствует портам в документе *HDL*.

3.3. Размещение компонентов на схеме

Компоненты, необходимые для выбранной в качестве примера схемы, можно обнаружить в групповой интегрированной библиотеке *\FPGA Generic.IntLib*. Эта библиотека установлена по умолчанию и доступна из панели *Libraries*. Компоненты библиотеки *FPGA Generic* могут быть использованы в любом устройстве ПЛИС, которое поддерживает эта система. Кроме того, имеются специальные интегрированные библиотеки (**FPGA.IntLib*) с доступными от продавца примитивами (доступные изготовителю из папки *\Program Files\Altium Designer\Library*), ориентированные на специальные устройства, поэтому их применение может помешать транспортабельности проекта. Используйте их только при необходимости.

1. Укажите *FPGA Generic.IntLib* из выпадающего списка на панели *Libraries*.

2. Выберите компонент *SR8CLEDB* на панели *Libraries*. Можно просмотреть панель *Libraries*, либо просмотрев список, либо введя имя *SR8CLEDB* в окне редактора *Masks* ниже имени библиотеки, выберите компонент из списка и нажмите кнопку *Place SR8CLEDB* или просто перетащите выбранный компонент на схемный лист. После этого курсор имеет привязанный компонент. Поместите компонент, нажав левую кнопку мыши в соответствующем месте схемы. Позиционное обозначение для компонентов будет произведено автоматически на последнем этапе.

В данном проекте будут использованы 8-битная шина (*J8B_8S*), шесть инверторов (*INV*), один вентиль *OR* (*OR2N2S*), два триггера (*FJRC*) и компонент *SR8CLED8*. Повторите указанные выше шаги для размещения этих компонентов.

Проект нуждается в нескольких портах, которые имеются в библиотеке *FPGA NanoBoard Port-Plugin.IntLib*, доступной по умолчанию на панели *Libraries*. Выберите из библиотеки и поместите на лист, как показано на рис. 30, элементы *DIPSWITCH*, *TEST_BUTTON*, *CLOCK_REFERENCE* и *LED*. Эти компоненты имеют видимые параметры *PinNumberDisplay*, которые для каждого вывода в начале изображены как '*PXX*'. Позже, когда проект будет синтезирован и цепи будут подключены к назначенной ПЛИС, эти параметры будут обновлены для отображения номеров выводов.

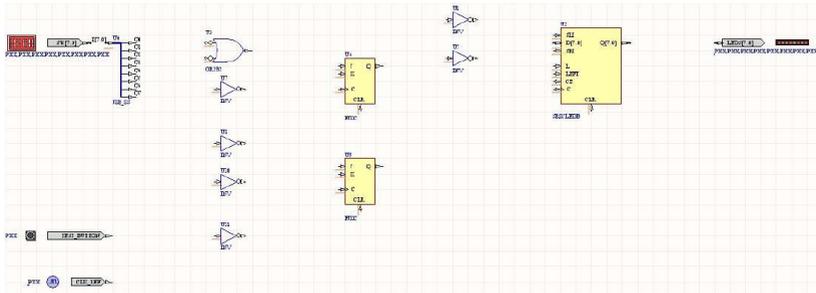


Рис. 30. Компоненты счётчика

Введите позиционные обозначения компонентов с помощью команды *Tools | Quiet Annotate* или *Tools | Force Annotate All*. Обозначения будут добавлены автоматически ко всем компонентам на схеме.

Добавление силовых портов

Поместите два силовых порта *GND*:

- укажите *Place|Power Port* или нажмите на иконке *GND* в панели инструментов *Wiring*;
- нажмите *Tab* для отображения диалога свойств *Power Port*; проверьте, что *Net* установлена в *GND* и выберите стиль *Bar* из выпадающего списка стилей; нажмите *OK* и разместите порты *GND*;

– нажмите правую кнопку мыши или *Esc* для выхода из режима размещения.

Кроме этого, необходимо добавление шины портов питания *D* [7...0] в компоненте *SR8CLEDB*. Для этого нажмите кнопку *VCC Bus Power Port* на панели инструментов *Wiring*. Нажмите *Tab* для отображения диалога свойств *Power Port*, замените имя цепи на *GNDBUS*[...]. Нажмите *OK* (пробел для поворота символа при его размещении).

3.4. Создание соединений

После размещения всех компонентов и портов необходимо ввести соединения. Имеется два способа проложить проводники на схеме: явный и неявный. Явная прокладка проводников выполняется посредством физического соединения проводом двух объектов цепи. Неявные проводники создаются соединениями, которые используют метки цепей. Например, подразумевается, что два проводника соединены, если имеют одинаковые метки цепи.

В примере проекта ПЛИС используются проводники и шины.

Первыми разметим проводники (не путать их с линиями, служащими элементами чертежа).

3.4.1. Ввод проводников

Для размещения проводника укажите *Place | Wire* и нажмите левую кнопку мыши в точке схемы, где надо начать проводник (порт или вывод). Поместите курсор в следующую точку подключения проводника и снова нажмите левую кнопку мыши. Продолжайте, пока не создадите соединение полностью. Продолжайте прокладку проводников остальных соединений или выйдите из режима размещения проводников (правая кнопка мыши или клавиша *Esc*). Не забывайте вводить точки в местах пересечения проводников: нет точки, нет и соединения. Окончательная схема показана на рис. 31.

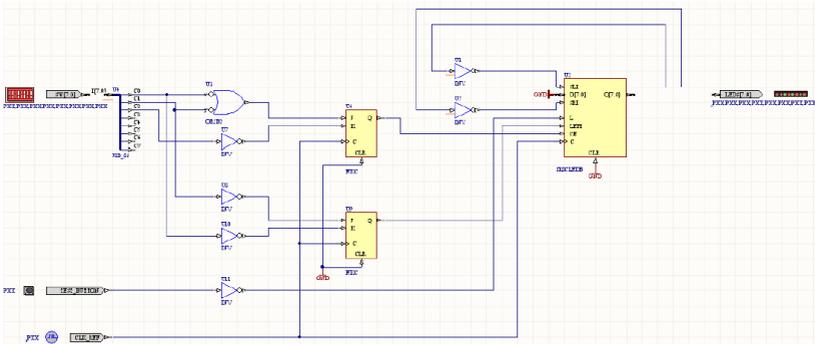


Рис. 31. Вид законченной схемы счётчика

3.4.2. Размещение имен соединений

Все проложенные проводники являются явными и технически не требуют меток для цепей. Однако всегда целесообразно иметь такие метки для всех цепей, что делает проект более простым для понимания и делает проблемы трассировки и взаимных ссылок более легкими. Для нанесения меток соединений:

- укажите *Place | Net Label* [горячие клавиши *P, N*]. На курсоре появится рамка с меткой цепи;
- для редактирования метки цепи перед её размещением нажмите клавишу *Tab* для отображения диалога *Net Label*. Введите имя цепи в поле *Net*, например *LEFT*, нажмите *OK*;
- поместите метку цепи так, чтобы левый нижний угол метки (точка привязки) касался проводника. Курсор примет вид красного перекрестья, когда метка цепи касается проводника;
- пометьте другие цепи. Схема ниже показывает размещение всех меток цепи. Они должны быть все уникальны и помечены в соответствии с рис. 32;
- выйдите из режима размещения меток цепей.

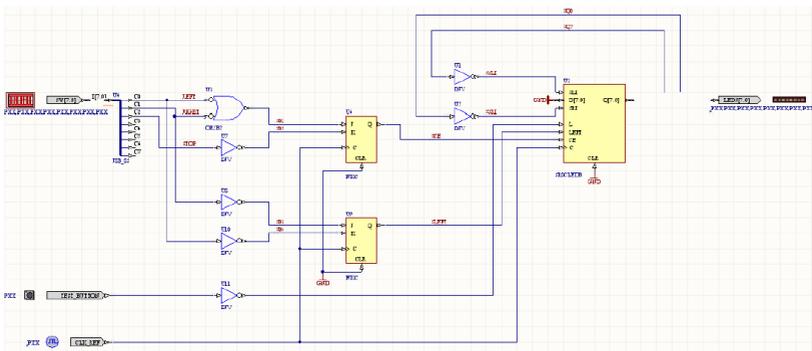


Рис. 32. Схема счётчика с метками цепей

3.4.3. Использование шин

Altium Designer поддерживает комплексное использование шин в проектах ПЛИС. Шины могут быть использованы не просто для обозначения группы сигналов, но и как распределение каждого сигнала в шине между конечными точками. При использовании шин важно помнить, что на любом выведенном сегменте шины всегда нужно ставить метку цепи. Подключения из шины к другому объекту всегда разрешаются слева направо, и размерность шины в соединяемых объектах при подключении должна быть одинаковой.

Для подключения порта *LED* к *SR8CLEDB* создайте шину *SQ* [7...0], как показано на рис. 33.

- Разместите шину указанием *Place | Bus [P, B]* и введите ее, используя ту же технику размещения, которая использовалась при размещении проводников.

- Поместите на шине метку *SQ* [7...0]. Шина без метки цепи, даже если она явно подключена, является сомнительной, поскольку отсутствие метки цепи не позволяет определить, как каждый элемент подключен к её конечной точке.

- Добавьте входы в шину (рис. 33). Укажите *Place | Bus Entry [P, U]* и поместите входы в шину от проводников *SQ0* в шину *SQ* [7...0]. Используйте клавишу пробела во время размещения для поворота входов в шину. По завершении ввода выйдите из режима размещения.

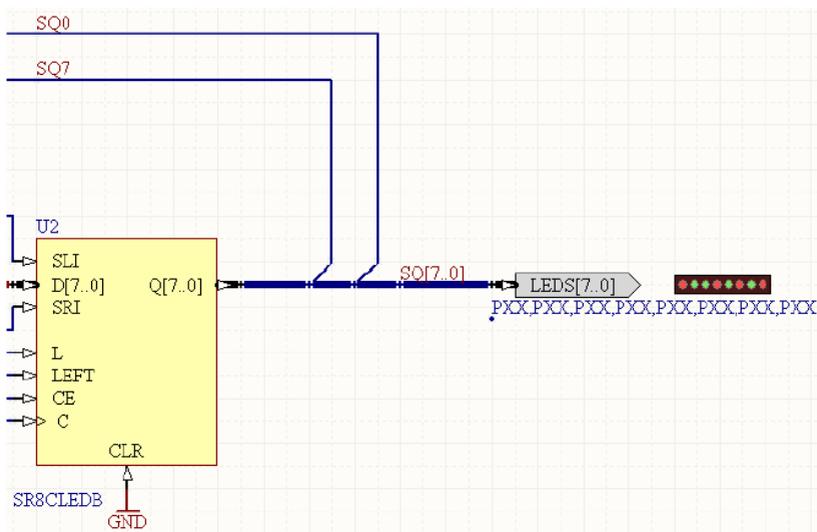


Рис. 33. Шина *SQ* для подключения порта *LED*

- Добавьте ещё одну шину для соединения *DIP*-переключателя порта с секцией компонента *J8B_8S* (рис. 34).

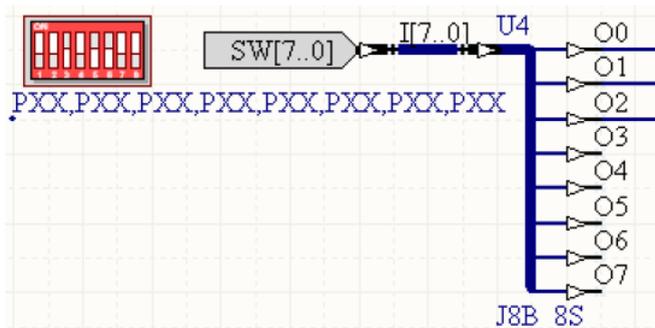


Рис. 34. Подключение переключателя порта *DIP* к *J8b_8S*

Не используйте стиль нумерации шины для меток проводников (символы “[]”), в *Altium Designer* это недопустимо. Сохраните схему и проект.

3.5. Контроль проекта

Перед тем как продолжать проект и создать подчиненный лист для делителя частоты, необходимо проверить, что схема соответствует плану, посредством компиляции и контроля (электрического и графического) проекта, установленных на вкладке *Error Checking* диалога *Option for FPGA Project (Project to |Project Option)*. Для этого выберите *Project | Compile FPGA Project* [имя_проекта]. На панели *Messages* будут автоматически появляться сообщения о любых или фатальных ошибках. Предупреждения будут также перечислены на панели *Messages*, для этого нужно вручную активировать панель выбором вкладки *System* в нижней части окна проекта и указать *Messages* (или выбрать в меню *View | Workspace Panels | System | Message*).

Для отображения дополнительной информации об ошибке следует дважды нажать левой кнопкой мыши на любом сообщении об ошибке на панели *Messages* в диалоге *Compile Errors*. Виновный в ошибке объект будет увеличен и подсвечен на схеме.

Исправьте все ошибки и повторно скомпилируйте проект для контроля. Сохраните файлы схемы и проекта.

3.6. Настройка проекта

Завершая проектирование, необходимо указать, какая ПЛИС будет использоваться в данном проекте, например, *Xilinx Spartan IIE XC2S300E-6PQ208C*. Для этого необходимо ввести файлы конфигурации и ограничений.

Файл *Constraint* определяет нумерацию вводов и имя устройства для использования чипа ПЛИС на плате *NanoBoard*.

Алгоритм действий

- Укажите *Project | Configuration Manager*. Появится диалог *Configuration manager for project*. Нажмите кнопку *Add* в рамке диалога *Configuration* и введите имя конфигурации в диалоге *New Configuration Name*, например, *NB_SpartanIIE*, и нажмите *OK*.

- Добавьте файл конфигурации в проект кнопкой *Add* в рамке диалога *Constraints* и укажите *NB1_6XC2S300E-6PQ208* в диалоге *Choose Constraint files to add to Project*. Файл ограничений находится в папке *Altium Designer \Library\ПЛИС*. Нажмите *Open*. Установите

флажок конфигурации в диалоге *Configuration Manager* (см. рис. 27) и нажмите *ОК*. В проект добавляется папка с именем *Setting* и показывается файл ограничений, используемый в папке *Constraints Files*. Сохраните файл проекта.

Теперь конфигурация проекта *Johnson Counter* завершена и можно перейти к его реализации в ПЛИС.

3.7. Использование *Devices View* для программирования ПЛИС

Обзор устройств (*View | Devices View*) позволяет следовать процессу (слева направо) для передачи программы в ПЛИС. В этом обзоре можно:

- компилировать проект (и проверить ошибки);
- синтезировать проект (создать список цепей в формате *EDIF*);
- построить (например, транслировать файл *EDIF*, переопределить проект в ПЛИС, разместить и трассировать ПЛИС, провести временной анализ и затем создать битовый файл, который используется как программа для ПЛИС);
- запрограммировать ПЛИС (загрузить битовый файл в дочернюю плату чипа ПЛИС, например *Xilinx Spartan IIE*) (см. рис. 26).

По завершении загрузки можно запустить программу с помощью *DIP*-переключателей на *NanoBoard*. Для загрузки в ПЛИС данного проекта необходимо выполнить следующие действия.

- Проверить корректность подключения *NanoBoard* и включить её. В *Devices View* выбрать установкой флажка режим *Live* и дождаться зелёного цвета индикатора *Connected*.

- Нажать *Compile*. При успешной компиляции красный индикатор станет зелёным. Если на панели предупреждений показана ошибка, вернуться назад к схеме, исправить ошибки, сохранить файл и повторно скомпилировать его.

- Нажать *Synthesize*. Если синтез прошёл успешно, создается папка *Generated* [имя конфигурации], которая содержит сформированные *EDIF*, *VHDL* и файл протокола синтеза. Используемая в этом примере конфигурация с именем *Johnson* отобразится в *Devices View* ниже иконки *Spartan IIE*. В процессе синтеза исходные документы

транслируются в промежуточные файлы на языке *VHDL*, которые затем синтезируются в *EDIF*, необходимый для инструментария *Place&Route*. Выявленные в процессе синтеза ошибки содержатся в промежуточных файлах, поэтому для устранения проблемы нужно вернуться к исходным файлам. Следует дважды нажать левую кнопку мыши на ошибке в панели *Messages*, чтобы увидеть проблему в исходных документах и промежуточном файле *VHDL*.

- Нажать *Build*. При этом создаётся битовый файл, который можно загрузить в ПЛИС. Кнопка *Build* станет зелёной, когда все необходимые процессы завершатся, и появится диалог *Result Summary*. Необходимо нажать *Close* для закрытия диалога (в этом примере процесс *Make FROM File* не требуется).

- Нажать *Program FPGA* для загрузки битового файла в дочерний чип *Spartan*.

- Когда процесс загрузки завершится, можно запустить программу с помощью клавиш переключения *DIP* на *NanoBoard*:

- переключатель 1 — для отображения смещения *LED* влево;
- переключатель 2 — для отображения смещения *LED* вправо;
- переключатель 3 — для окончания программы.

Нажмите кнопку *Test/Reset* ниже *LED* для повторного запуска программ.

Индикатор *LED* мигнет при правильно составленной программе и больше не будет светиться. Это происходит потому, что по умолчанию счётчик установлен на частоту 50 МГц, которую не улавливает глаз человека. Для того чтобы индикатор отображал свою функцию (бегущие огоньки, заметные глазу человека), нужно добавить делитель в схему после проверки нормальной работы программы, используя аппаратный инструмент.

Контроль с помощью аппаратного инструмента

Корректность работы программы можно проверить мониторингом выводов на реальной ПЛИС. Для этого не нужен осциллограф. Вместо этого можно использовать *Altium Designer's JTAG Device Viewer* для контроля этапа выводов на любой границе сканирования нужного устройства. Обозреватель доступен из инструментария *Hard Devices* для ПЛИС.

- Для открытия инструментария нажмите правую кнопку на иконке *Spartan IIE*  в рамке *Hard Devices* обозревателя *Devices View* и из меню укажите *Instrument*. Появится окно *Instrument Rack – Hard Devices* (рис. 35).



Рис. 35. Загрузка инструментария Spartan IIE

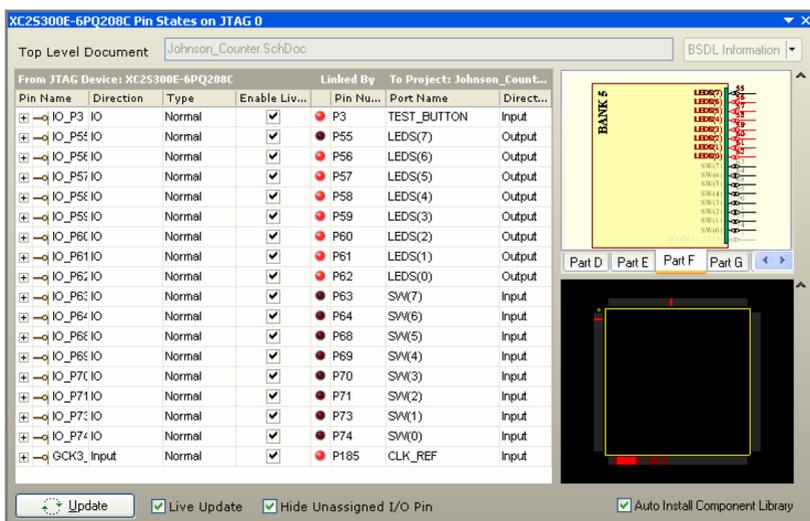


Рис. 36. Параметры выводов ПЛИС

- Нажмите кнопку *JTAG Viewer Panel* для открытия *JTAG Device Viewer* (рис. 36).
- Нажмите флажок *Hide Unassigned I/P Pins*, затем флажок *Live Update*.
- Теперь просмотрите выходы на ПЛИС во время работы схемы. Отметим, что иконки *LED* подсвечены рядом с портами *LED* во время работы схемы. Также можно увидеть, что соответствующие выходы на символе компонента и посадочного места также подсвечены, что означает активность вывода.

3.8. Добавление подчинённого листа для делителя

Так как *NanoBoard* работает с частотой 20 МГц по умолчанию, нужно добавить 6 делителей частоты на 10 (*CDIV10DC50*) в схему счётчика для замедления отображения индикации на *LED*. Создадим подсхему делителя счётчика, так как подсхема демонстрирует, как можно использовать иерархические проекты при программировании ПЛИС.

Алгоритм действий

- Открыть *Johnson_Counter.SchDoc* и разместить символ листа схемы для представления подчиненного листа, где будет использован делитель счётчика (рис. 37).

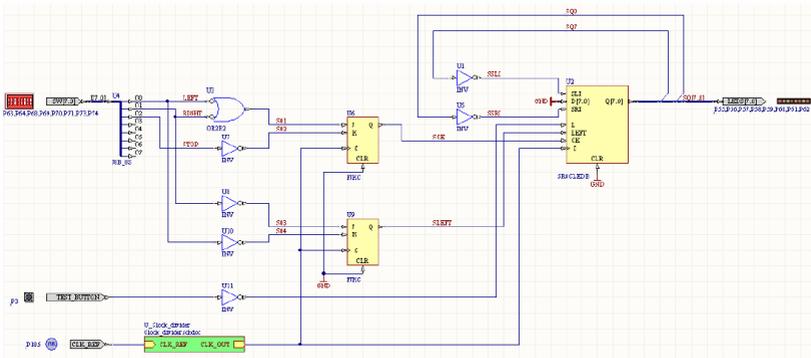


Рис. 37. Схема счётчика с символом подчиненного листа

- Указать *Place | Sheet Symbol*. Нажать *Tab* в процессе размещения и ввести позиционное обозначение, например, *U_Clock_divider* и имя файла, например *Clock_divider.SchDoc* на вкладке *Properties* диалога *Sheet Symbol*. Нажать *OK* для закрытия диалога, затем указать позицию символа листа.

- Добавить входы листа с именами *CLK_REF* и *CLK_OUT* в символе листа (*Place | Add Sheet Entry*) типами *Input* и *Output* соответственно.

- Создать подчиненный лист указанием *Design | Create Sheet from Symbol*. Поместить курсор поверх нового символа листа и нажать кнопку. В диалоге *Confirm* нажать *No*, если реверсировать направ-

ления ввода-вывода не нужно. Создастся новый документ схемы и откроется отображение портов *CLK_REF* и *CLK_OUT*, которые добавлены автоматически.

- Поместить 6 секций делителя частоты *CDIV10DC50* из *FPGA Generic.IntLib*, как показано на рис. 38, и указать *Tools | Annotate Quiet* по завершении проекта для установки позиционных обозначений.

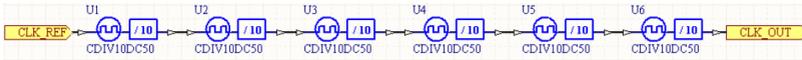


Рис. 38. Делитель с размещёнными секциями компонента и портами

- Сохранить файлы схемы и проекта. Повторно компилировать проект для предотвращения ошибок. Отредактировать ошибки при их наличии и сохранить проект.

- После компиляции проверить иерархию листа в проекте, просмотрев панель **Project**; проект теперь рассматривает подчиненный лист (*Clock_divider.SchDoc*) как потомок схемы *Johnson_Counter*.

- Перейти к просмотру *Devices* и перепрограммированию ПЛИС, чтобы увидеть замедленный вариант, который теперь достаточен, чтобы увидеть работу счётчика справа налево (*DIP*-переключатель 1) или слева направо (*DIP*-переключатель 2).

Добавление VHDL-файла делителя частоты

- Необходимо подставить файл *VHDL* вместо схемы делителя частоты с учётом подчиненного листа в проекте ПЛИС. Этот *VHDL*-файл теперь замедлит темп счётчика. Файл *VHDL* связан со схемой при использовании символа листа. Таким же образом можно использовать файл *Verilog*.

- Далее следует добавить файл *VHDL* в проект нажатием на имени проекта ПЛИС в панели *Project* и указать *Add Existing Project*, выбрать файл *VHDL Clock_divider.VHD* из диалога *Choose Documents to Add Project*. Этот файл доступен из папки *Altium Designer\Examples\Tutorials\Getting started with FPGA*.

- При создании нового файла *VHDL* нужно нажать правой кнопкой мыши на имени проекта ПЛИС и указать *Add New to Project | VHDL Document*, ввести код, показанный на рис. 39, и сохранить документ.

```

Clock_divider.VHD

    library ieee;
    use ieee.std_logic_1164.all;
    use ieee.std_logic_unsigned.all;

entity clock_divider is
    port (
        CLK_REF : in  std_logic;
        CLK_OUT  : out std_logic
    );
end entity;

architecture RTL of clock_divider is
begin
    process(CLK_REF)
        variable i : integer range 0 to 999999;
    begin
        if rising_edge(CLK_REF) then
            if i = 0 then
                CLK_OUT <= '1';
                i := 999999;
            else
                CLK_OUT <= '0';
                i := i - 1;
            end if;
        end if;
    end process;
end architecture;
```

Рис. 39. Пример файла *Clock_divider.VHD*

- Следующий шаг – создание символа листа из нового файла *VHDL* для замены старого, который ссылается на схему подчинённого листа *Clock_divider.SchDoc*. Открыв схему *Johnson_Counter.SchDoc*, можно создать новый символ листа, выбрав *Design | Create Sheet Symbol from Sheet*. Нужно указать *Clock_divider.VHD* из диалога *Choose Document to Place* и нажать *OK*. Символ листа появляется как плавающий вместе с курсором элемент. Далее следует нажать *Tab* для отображения диалога свойств *Sheet Symbol* и кнопку на вкладке *Parameters* для проверки того, что параметр *VHDLEntity* добавлен. Необходимо убедиться, что опция *Visible* помечена, и щелкнуть *OK*. Затем нажать кнопку в позиции листа на схеме счётчика ниже символа листа для *Clock_divider.schdoc*. Если файл *VHDL* содержит не-

сколько входов, следует определить параметр *VHDLENTITY*, указав, какой объект должен быть показан.

- Удаление символа листа для *Clock_divider.schdoc* и перемещение символа листа для *Clock_divider.VHD* в его место на схеме (рис. 40). Проверка правильности соединения проводниками.

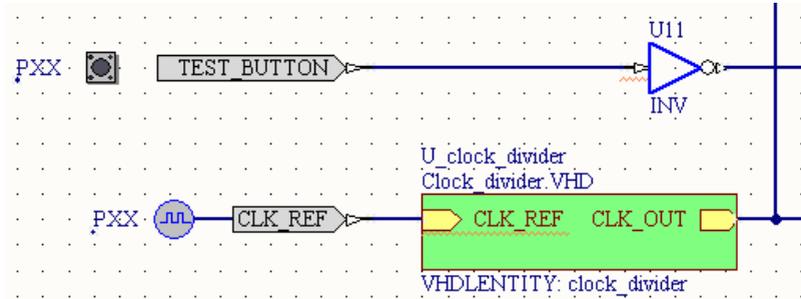


Рис. 40. Размещённый на схеме символ листа *Clock_divider.VHD*

- Сохранение схемного документа. Удаление файла *Clock_divider.schdoc* из проекта ПЛИС нажатием правой кнопки мыши на имени *Project* и выбором *Remove from Project*. (Он уже добавлен в файл *VHDL*.) Сохранение файла проекта.

Частота работы счётчика теперь ниже из-за задержки в файле *VHDL*.

Задания на лабораторную работу

В техническом оснащении кафедры промэлектроники ТГУ имеется несколько рабочих мест с лицензионной версией *Altium Designer* и лишь одно место с *NanoBoard*, поэтому базовой лабораторной работой является исследование электронных схем и создание с их использованием печатных плат, а изучение разработки ПЛИС относится к факультативной части практического курса.

1. Изучите разделы 1–3 данного пособия. Для допуска к работе (получения индивидуального задания на разработку печатной платы или ПЛИС) необходимо уметь работать в среде графических редакторов системы *Protel DXP (Altium Designer)* и знать последовательность действий, соблюдаемую при разработке печатных плат и ПЛИС.

2. Создайте файл проекта печатной платы с уникальным именем в доступном каталоге (уточнить у администратора компьютерного класса).

3. Создайте файл схемы с именем, соответствующим имени файла проекта в том же каталоге.

Так как схемы и чертежи необходимо оформлять по ГОСТу, измените шаблон чертежа.

4. Введите схему, заданную преподавателем, подключая необходимые библиотеки компонентов.

5. При необходимости или прямом указании преподавателя выполните моделирование работы схемы.

6. Создайте файл платы с именем, соответствующим имени файла проекта, в том же каталоге. Присоедините его к проекту.

7. Создайте заготовку чертежа платы в соответствии с заданием преподавателя.

8. Выполните расстановку элементов на плате, используя возможности как автоматизированных, так и ручных методов.

9. Проведите трассировку соединений в соответствии с заданием преподавателя, используя возможности как автоматизированных, так и ручных методов.

10. Оформите отчёт.

Содержание отчёта о лабораторной работе

1. Чертежи принципиальной схемы и всех слоёв оттрассированной печатной платы.
2. Перечень использованных библиотек.
3. Перечень элементов принципиальной схемы.
4. Указанные преподавателем графики работы заданной схемы.

Основные контрольные вопросы

1. Основные задачи проектирования электронных устройств в конструкторском аспекте.
2. Степени детализации конструирования.
3. Особенности автоматизации разделения схемы на части.
4. Элементы и виды печатных плат.
5. Модели монтажного пространства для расстановки элементов и трассировки соединений.
6. Особенности автоматизации расстановки элементов на плате.
7. Сущность алгоритма Прима.
8. Сущность методов сечений, метод Штейнберга.
9. Трассировка соединений по волновому алгоритму.
10. Трассировка соединений по малоповоротному алгоритму.
11. Особенности автоматизации проектирования гибридных ИС.
12. Особенности автоматизации проектирования полупроводниковых ИС.
13. Сущность алгоритма максиминного выбора.
14. Автоматизированные инструменты размещения компонентов на печатной плате.
15. Стратегии трассировки соединений на печатной плате.
16. Правила трассировки.
17. Основы анализа переходных процессов в электронных схемах.
18. Основы анализа схем при изменяющемся постоянном напряжении.
19. Основы частотного анализа.

Библиографический список

1. Шабунин, А.Е. Altium Designer 6: руководство пользователя / А.Е. Шабунин. – М., 2007. – 249 с.
2. Певчев, В.П. Анализ схем и разработка печатных плат : учеб. пособие / В.П. Певчев.– Тольятти : ТГУ, 2006.– 154 с.
3. Разевиг, В.Д. Применение программ P-CAD и PSpise для схемотехнического моделирования на ПЭВМ : в 9 кн. / В.Д. Разевиг. – М. : Радио и связь, 1992. – 4 кн.
4. Суходольский, В. Программирование и отладка логики ПЛИС на стенде NanoBoard / В. Суходольский // САПР и графика. – 2012. – № 4. – С. 82–85.
5. Потапов, Ю. Protel DZP для начинающих. Урок 1–12 / Ю. Потапов // Компоненты и технологии. – 2002. – № 4. – 2003. – № 9.

